

# การใช้ซอฟต์แวร์ Xilinx ISE Webpack 14.7 เพื่อสร้างดีไซน์สำหรับบอร์ด FPGA MOJO V3

โดย รศ.ณรงค์ บวบทอง

## Contents

1. สร้างโปรเจกต์ใหม่ New Project .....	2
2. กำหนดรายละเอียดอุปกรณ์และภาษาที่จะใช้ .....	2
3. เขียนโปรแกรมใหม่หรือเลือกมาจากไฟล์ที่มีอยู่แล้ว .....	3
4. สร้างไฟล์เพื่อกำหนดขาอุปกรณ์ .....	4
5. สังเคราะห์วงจรจากโค้ด (Synthesizing Source Code)และ Implement .....	4
6. สร้างไฟล์บิตสตรีม (Generating Bitstream File) เพื่อนำไปโปรแกรมลงชิปเป้าหมาย .....	5
7. การบันทึกไฟล์ .bin ลงบอร์ด MOJO V3 โดยโปรแกรม Mojo Loader .....	6

## 1. สร้างโปรเจกต์ใหม่ New Project

2. ตั้งชื่อโปรเจกต์

1. เลือกโฟลเดอร์

3. คลิก Next

## 2. กำหนดรายละเอียดอุปกรณ์และภาษาที่จะใช้

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan6
Device	XC6SLX9
Package	TQG144
Speed	-2
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

1. เลือกตระกูล FPGA

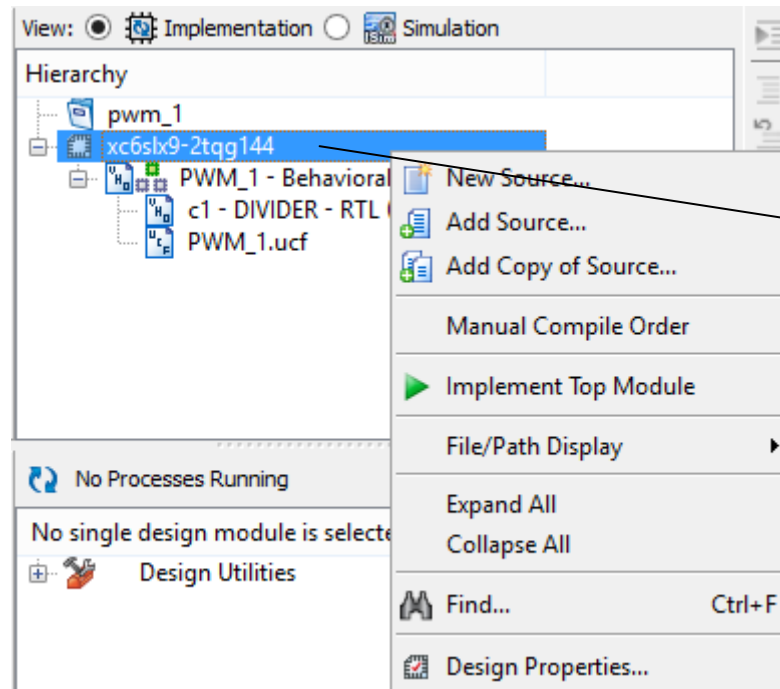
2. เลือกเบอร์ FPGA

3. เลือกรูปแบบตัวถัง

4. คลิก Next

5. คลิก Finish

### 3. เขียนโปรแกรมใหม่หรือเลือกมาจากไฟล์ที่มีอยู่แล้ว



1.คลิกเมาส์ปุ่มขวาเพื่อ  
สร้างโปรแกรมใหม่  
หรือเลือกจากไฟล์เก่า

โปรแกรม PWM\_1.VHD

```
entity PWM_1 is
  Port ( clk : in  STD_LOGIC;
        Qpwm : out STD_LOGIC);
end PWM_1;

architecture Behavioral of PWM_1 is
  signal COUNT : integer range 0 to 100 ;
  signal sq : std_logic;
  component DIVIDER is
    port (CLK : in std_logic;
          Q : out std_logic);
  end component;

begin
  process (sq)
  begin
    if sq'event and sq = '1' then
      if (COUNT >= 100) then
        COUNT <= 0;
      else
        COUNT <= COUNT +1;
      end if;
    end if;
  end process;

  process (COUNT)
  begin
    if (COUNT >= 90) then
      Qpwm <= '1';
    else
      Qpwm <= '0';
    end if;
  end process;
  c1: DIVIDER port map(CLK, sq);
end Behavioral;
```

## โปรแกรม DIVIDER.VHD

```
library IEEE;
use IEEE.std_logic_1164.all;
entity DIVIDER10 is
    generic (fin: integer := 5000000;
            fout: integer := 10000);
    port (CLK: in std_logic;
          Q : out std_logic );
end DIVIDER10;

architecture RTL of DIVIDER10 is

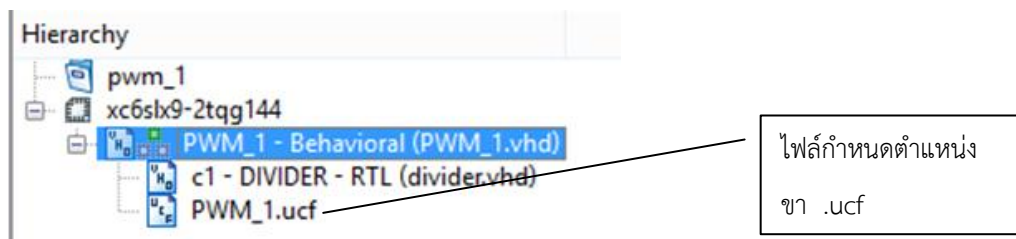
    signal COUNT : integer range 0 to (fin/(2*fout)) ;
    signal qs : std_logic := '0';
    begin
    process (CLK)

        begin
            if CLK'event and CLK = '1' then
                if (COUNT >= (fin/(2*fout)-1)) then
                    COUNT <= 0;
                    qs <= not(qs);
                else
                    COUNT <= COUNT +1;
                end if;
            end if;
        end process;
        Q <= qs ;
    end RTL;
```

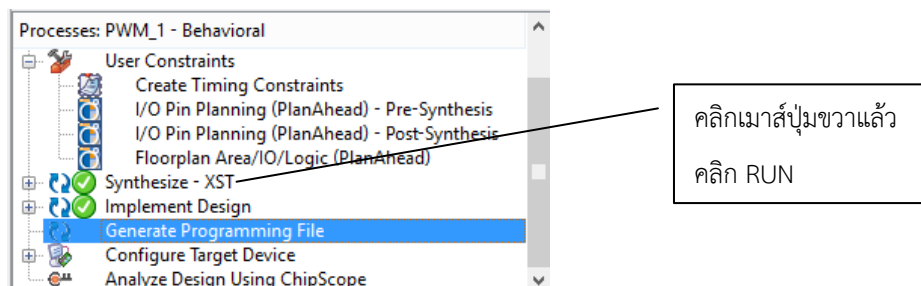
### 4. สร้างไฟล์เพื่อกำหนดขาอุปกรณ์

```
NET "clk" TNM_NET = clk;
TIMESPEC TS_clk = PERIOD "clk" 50 MHz HIGH 50%;

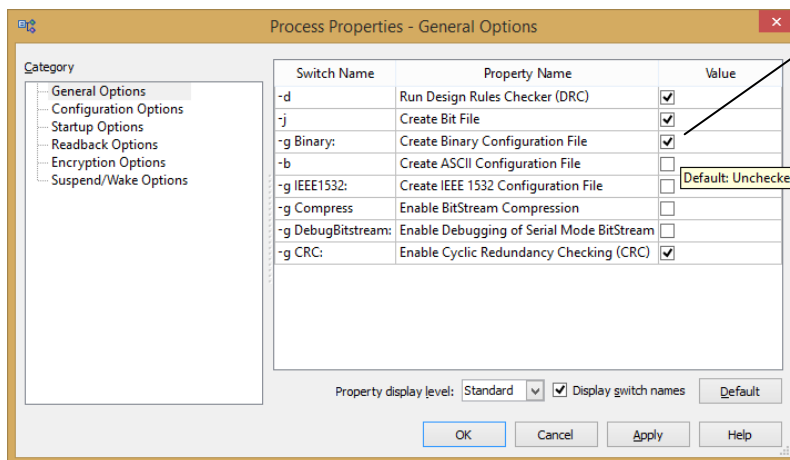
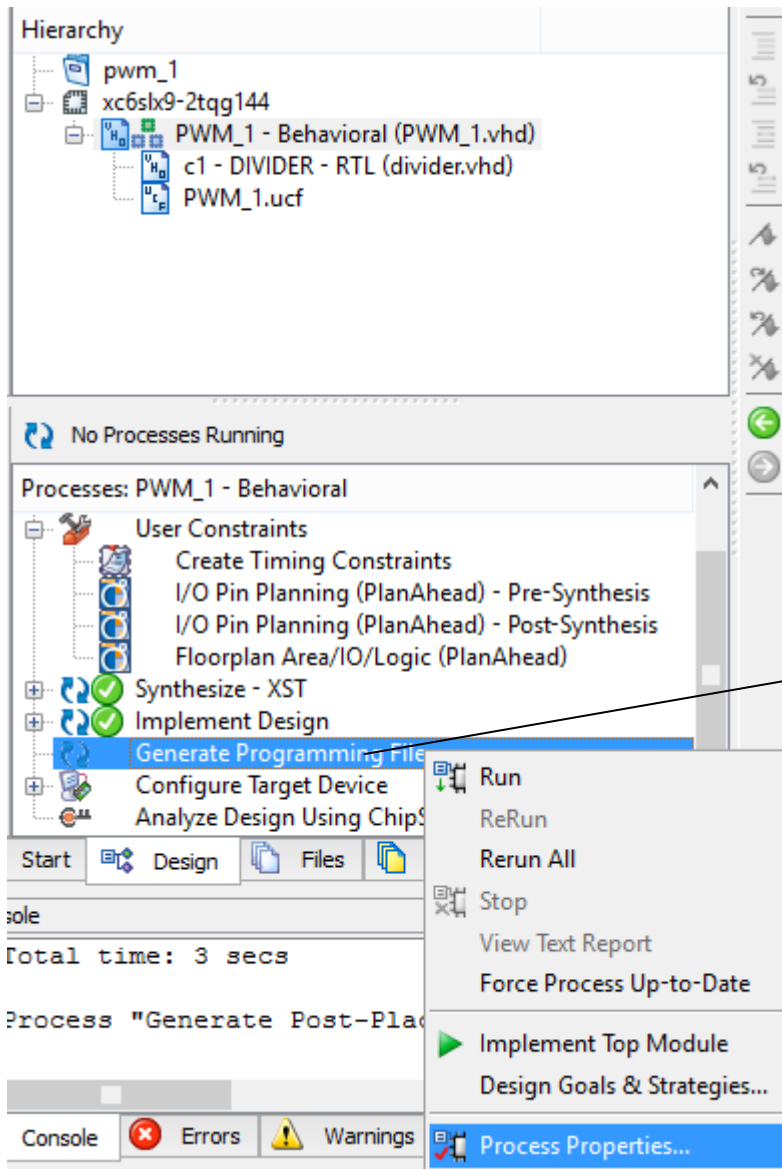
NET "clk" LOC = P56 | IOSTANDARD = LVTTTL;
NET "Qpwm" LOC = P134 | IOSTANDARD = LVTTTL;
```

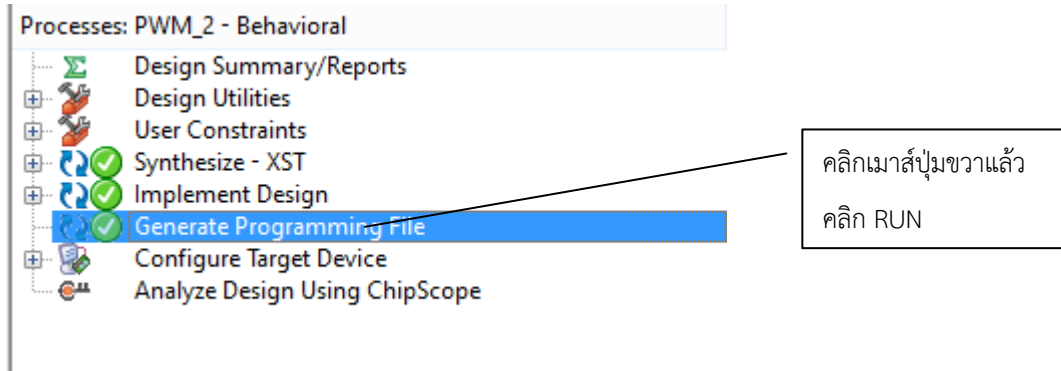


### 5. สังเคราะห์วงจรจากโค้ด (Synthesizing Source Code)และ Implement



6. สร้างไฟล์บิตสตรีม (Generating Bitstream File) เพื่อนำไปโปรแกรมลงชิปเป้าหมาย





## 7. การบันทึกไฟล์ .bin ลงบอร์ด MOJO V3 โดยโปรแกรม Mojo Loader

