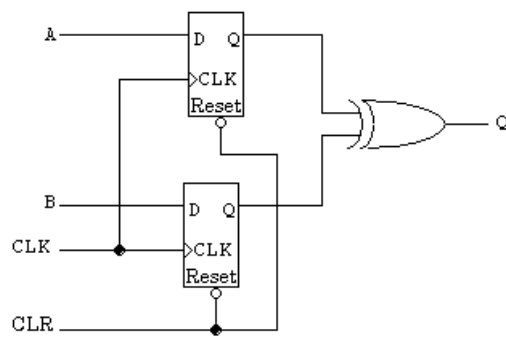
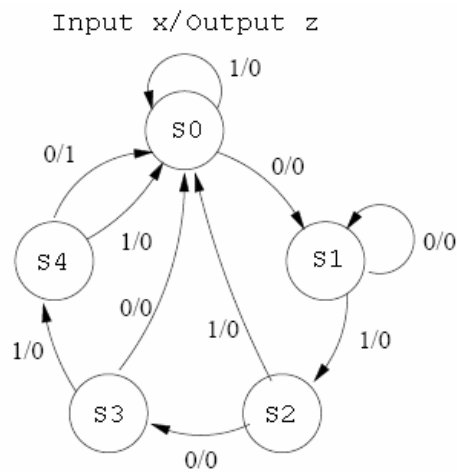


1. จากแผนภาพลอจิกต่อไปนี้ จงเขียนโมเดล VHDL



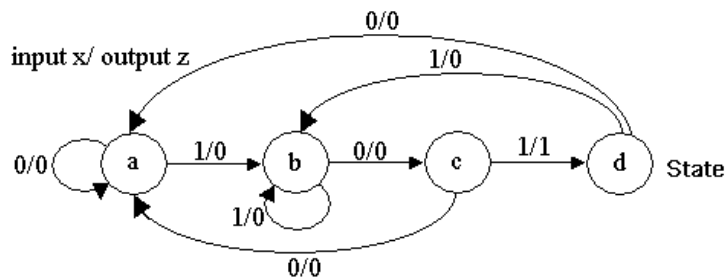
รูปที่ 1

2. จากสเตตไดอะแกรมต่อไปนี้ จงเขียนโมเดล VHDL แบบเอาต์พุตไม่มีสัญญาณนาฬิกา



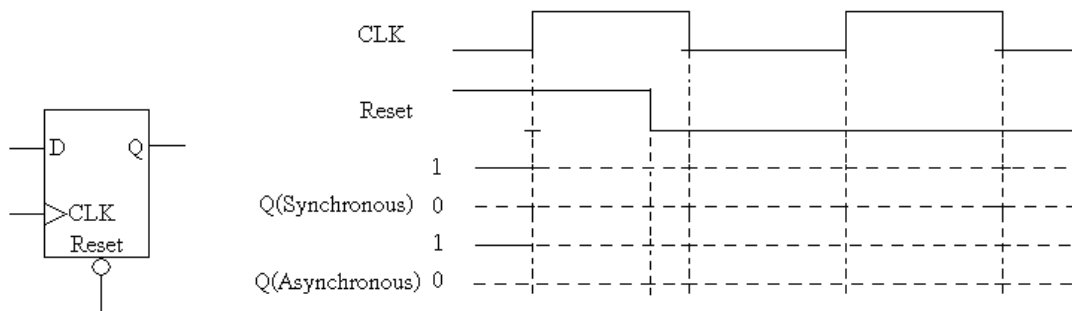
รูปที่ 2

3. จากสเตตไดอะแกรมต่อไปนี้ จงเขียนโมเดล VHDL แบบเอาต์พุตไม่มีสัญญาณนาฬิกา



รูปที่ 3

4. จากข้อ 3 จงเขียนโมเดล VHDL แบบเอาต์พุตที่มีสัญญาณนาฬิกา
5. จาก D Flipflop ในรูปที่ 7-36 สัญญาณ Reset ทำงานที่ลอจิก 0 และ CLK ทำงานที่ขอบขาขึ้น
 - (ก) ถ้าสัญญาณ Reset เป็นแบบ Synchronous (ทำงานเมื่อมีสัญญาณนาฬิกาмаาระดับ) จงเขียนสัญญาณ Q(Synchronous) โดยต้องสอดคล้องกับ CLK และ Reset
 - (ข) ถ้าสัญญาณ Reset เป็นแบบ Asynchronous (เมื่อสัญญาณ Reset active ฟลิปฟลอปจะทำงานทันที) จงเขียนสัญญาณ Q(Asynchronous) โดยต้องสอดคล้องกับ CLK และ Reset



รูปที่ 7-40

6. จากข้อ 5 จงเขียน VHDL Code ของ D Flipflop เฉพาะในส่วนของ architecture มาทั้ง แบบ Synchronous และ Asynchronous
7. จงเขียน VHDL Code สำหรับ ซิงโครนัสสเตตแมชชีน ที่มีอินพุต 2 อินพุตคือ X1 X2 และเอาต์พุต z โดยเอาต์พุต z จะเป็นลอจิก 1 ทุกครั้งที่อินพุต X1X2 เป็น "10" หรือ X1X2 เป็น "01" ติดต่อกัน ตั้งแต่ 2 สัญญาณนาฬิกาขึ้นไป และเอาต์พุต z จะค้างอยู่ที่ลอจิก 1 นี้จนกว่า อินพุตทั้งสองจะเป็น 0 ทั้งคู่ เอาต์พุต z จึงจะกลับมาเป็น 0
8. จงเขียน VHDL Code ของวงจรมultiplexer โดยให้ตัวเลขฐานสิบเรียงลำดับดังนี้ 3 7 2 5 3 7 2 5
9. จงเขียน VHDL Code วงจรเลื่อนข้อมูลขนาด 8 บิต เลื่อนจากซ้ายไปขวา โดยมีสัญญาณควบคุมการเลื่อน
10. จงเขียน VHDL Code วงจรเลื่อนข้อมูลขนาด 8 บิต เลื่อนจากซ้ายไปขวา หรือขวาไปซ้ายก็ได้ โดยมีสัญญาณควบคุมการเลื่อน และสัญญาณควบคุมทิศทาง การเลื่อน
11. จงเขียน VHDL Code วงจรซีพรีรีจิสเตอร์แบบ สัญญาณเข้าแบบขนาน สัญญาณออกแบบอนุกรม
12. จงเขียน VHDL Code วงจรซีพรีรีจิสเตอร์แบบ สัญญาณเข้าแบบอนุกรม สัญญาณออกแบบขนาน