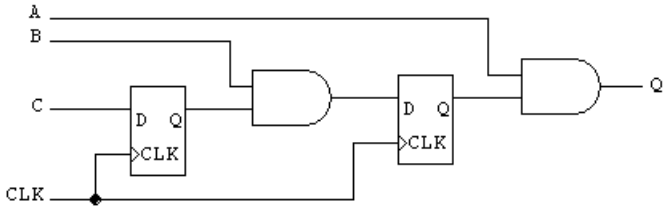
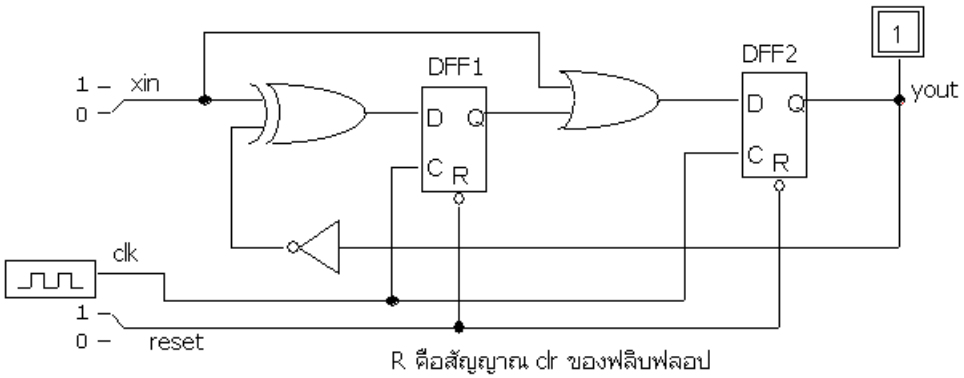
1. จากแผนภาพลอจิกต่อไปนี้ จงเขียนโมเดล VHDL



รูปที่ 1

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity ……..…… is
   ……
    port (……..……..……..;
            ……..……);
end ……..…….;
architecture behavior of ……. is
begin
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
end behavior;
```

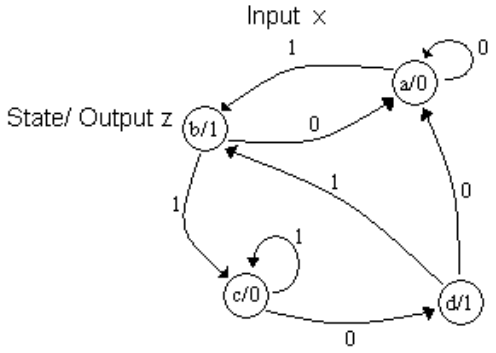
2. จากแผนภาพลอจิกต่อไปนี้ จงเขียนโมเดล VHDL



รูปที่ 2

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity ……..…… is
   ……
    port (……..……..……..;
            ……..……);
end ……..…….;
architecture behavior of ……. is
begin
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
end behavior;
```

3. จากสเตทไดอะแกรมต่อไปนี้ จงเขียนโมเดล VHDL แบบเอาท์พุทไม่มีสัญญาณนาฬิกา



รูปที่ 3

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity ……..…… is
   ……
    port (……..……..;
            ……);
end ……..…….;
architecture behavior of ……. is
begin
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
end behavior;
```

4. จงเขียนโมเดล VHDL ของวงจรหารความถี่ กำหนดให้สัญญาณอินพุท Fin มีความถี่ 10 MHz และสัญญาณเอาท์พุท Fout มีความถี่ 2.5 MHz

รูปที่ 4

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity ……..…… is
   ……
    port (……..……..;
            ……);
end ……..…….;
architecture behavior of ……. is
begin
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
……..
end behavior;
```