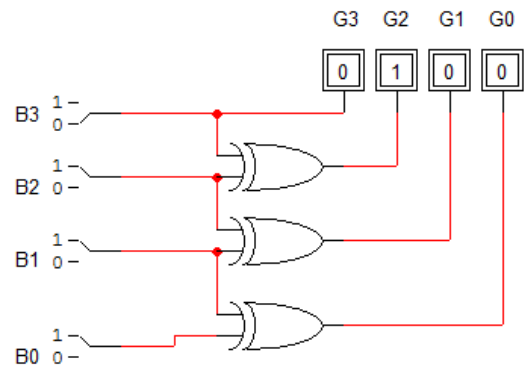


1. จากวงจรแปลงรหัส Binary เป็น รหัส gray ในรูปที่ 1 จงเขียนโมเดล VHDL กำหนดให้ใช้ Generic และ for loop เพื่อกำหนดจำนวนบิตของรหัสได้



รูปที่ 1

```

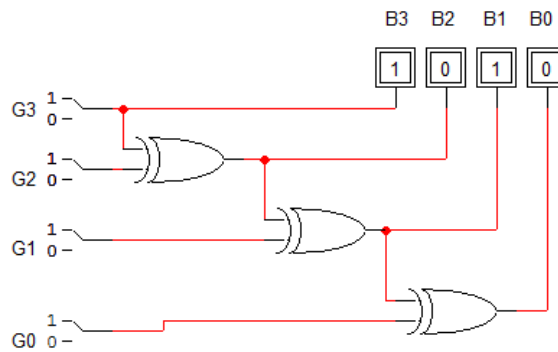
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity ..... is
    .....
    port (.....;
          .....);
end .....;

architecture behavior of ..... is
begin
    .....
    .....
    .....
    .....
    .....
    .....
    .....
    .....
    .....
    .....
end behavior;

```

2. จากวงจรแปลงรหัส gray เป็น รหัส Binary gray ในรูปที่ 2 จงเขียนโมเดล VHDL กำหนดให้ใช้ Generic และ for loop เพื่อกำหนดจำนวนบิตของรหัสได้



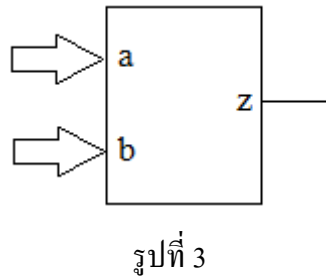
รูปที่ 2

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity ..... is
.....
port (.....;
.....);
end .....;
architecture behavior of ..... is
begin
.....
.....
.....
.....
.....
.....
.....
.....
.....
.....
end behavior;

```

3. จากบล็อกไดอะแกรมในรูปที่ 3 กำหนดให้ a b เป็น อินพุต n บิต z เป็นเอาต์พุต ถ้า a มีค่าเท่ากับ b ให้ z เป็นลอจิก '1' ถ้าไม่เท่ากันให้ z เป็นลอจิก '0'



```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity compare is
    port (a,b : in std_logic_vector (7 downto 0);
          z : out std_logic);
```

end compare;

architecture behavior of is

begin

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

end behavior;