

1. จากตารางการทำงานต่อไปนี้ จงเขียนโมเดล VHDL ด้วยคำสั่งแบบขนาน มาคนละ 1 โปรแกรม

ตารางที่ 1

A	B	C	F2
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

ตารางที่ 2

A	B	C	F1
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

ตารางที่ 3

A	B	C	F3
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

ตารางที่ 4

A	B	C	F1
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

ตารางที่ 5

A	B	C	F2
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

ตารางที่ 6

A	B	C	F3
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

2. จากนิพจน์ต่อไปนี้ จงเขียนโมเดล VHDL ด้วยคำสั่งแบบขนาน มาคนละ 1 โปรแกรม

$$2.1 F(A,B,C) = \sum m(1,5,7)$$

$$2.2 F(A,B,C) = \sum m(0,3,7)$$

$$2.3 F(A,B,C) = \prod M(1,3,5,7)$$

$$2.4 F(A,B,C) = \sum m(2,4,6)$$

$$2.5 F(A,B,C) = \prod M(2,4,6)$$

$$2.6 F(A,B,C) = \prod M(0,3,4,6,7)$$

3. จากนิพจน์ต่อไปนี้จงเขียนโมเดล VHDL ด้วยคำสั่งแบบขนาน มาคนละ 1 โปรแกรม

$$3.1 F = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}B\bar{C}\bar{D} + \bar{A}\bar{B}CD$$

$$3.2 F = \bar{A}\bar{B}\bar{C}\bar{D} + B\bar{C}\bar{D} + A\bar{C}\bar{D}$$

$$3.3 F = BD + ABD + CBD + \bar{A}\bar{B}\bar{C}$$

$$3.4 F = \bar{A}\bar{B}\bar{C}\bar{D} + ABCD + ABC\bar{D} + \bar{A}\bar{B}CD$$

$$3.5 F = \bar{A}\bar{B}CD + \bar{A}BC\bar{D} + ABCD + A\bar{B}C\bar{D}$$

$$3.6 F = (A + B + \bar{C} + \bar{D}) \bar{A}\bar{B}$$

คำแนะนำ

โครงสร้างของโปรแกรมควรเป็นแบบนี้

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
entity ..... is
```

```
    port ( .... : in std_logic;
```

```
          .... : in std_logic;
```

```
          .... : in std_logic;
```

```
          .... : out std_logic);
```

```
end .....
```

```
architecture dataflow of ..... is
```

```
begin
```

```
    .....
```

```
    .....
```

```
end dataflow;
```