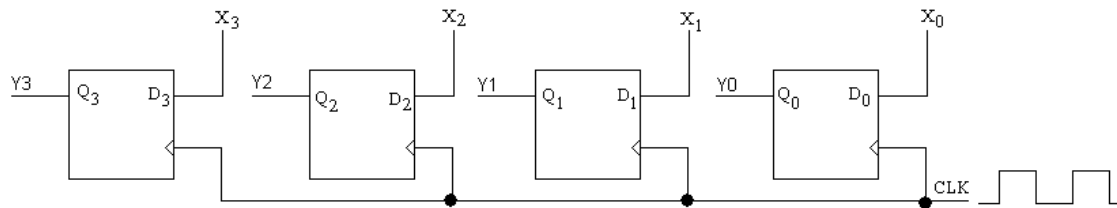


การทดลองที่ 5 การสร้างรีจิสเตอร์

จุดประสงค์

วงจร Buffer Register การทำงานตามรูปที่ 1



CLK	Output
0	Y คงเดิม
1	Y คงเดิม
	Y คงเดิม
	Y = X

รูปที่ 1

1. เขียนโปรแกรมดังนี้

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity reg1 is
    Port ( x : in std_logic_vector(3 downto 0);
          clk : in std_logic;
          y : out std_logic_vector(3 downto 0));
end reg1;

architecture Behavioral of reg1 is
begin
    process (clk)
    begin
        if clk = '1' and clk'event then
            y <= x;
        end if;
    end process;
end Behavioral;
```

2. ทำการ ทดสอบและ Implement ลงชิพซีพีแอลดี โดยกำหนดตำแหน่งสัญญาณดังนี้

```
// Template UCF file created by the Project Navigator

NET clk LOC=P5;
NET y<0> LOC=P11;
NET y<1> LOC=P12;
NET y<2> LOC=P13;
NET y<3> LOC=P14;
NET x<3> LOC=P25;
NET x<2> LOC=P26;
NET x<1> LOC=P27;
NET x<0> LOC=P28;
```

3. ทดสอบชิพ โดยใช้สัญญาณ Pulse เป็นสัญญาณ clk

วงจร Buffer Register with Reset

4. เขียนโปรแกรมดังนี้

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity reg2 is
    Port ( x : in std_logic_vector(3 downto 0);
          clk,clr : in std_logic;
          y : out std_logic_vector(3 downto 0));
end reg2;

architecture Behavioral of reg2 is
begin
    process (clk,clr)
    begin
        if clr = '0' then
            y <= "0000";
        elsif clk = '1' and clk'event then
            y <= x;
        end if;
    end process;
end Behavioral;
```

5. ทำการ ทดสอบและ Implement ลงชิพซีพีแอลดี โดยกำหนดตำแหน่งสัญญาณดังนี้

```
// Template UCF file created by the Project Navigator

NET clk LOC=P5;
NET y<0> LOC=P11;
NET y<1> LOC=P12;
NET y<2> LOC=P13;
NET y<3> LOC=P14;
NET clr LOC =P24;
NET x<3> LOC=P25;
NET x<2> LOC=P26;
NET x<1> LOC=P27;
NET x<0> LOC=P28;
```

6. ทดสอบชิพ โดยใช้สัญญาณจากวงจร clock เป็นสัญญาณ clk

วงจร Buffer Register with Load

X เป็นสัญญาณอินพุต

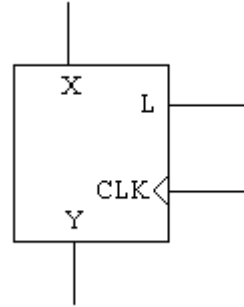
Y เป็นสัญญาณเอาต์พุต

L เป็นสัญญาณควบคุมการเก็บ กำหนดให้

ถ้า L = 0 ให้ Y = X เป็นการโหลดข้อมูลเก็บ

ถ้า L = 1 ให้ Y คงเดิมไม่เปลี่ยนแปลง

CLK เป็นสัญญาณนาฬิกา



รูปที่ 8.38 แผนผังบล็อกของบัพเฟอร์รีจิสเตอร์

7. เขียนโปรแกรมดังนี้

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity reg3 is
    Port ( x : in std_logic_vector(3 downto 0);
          clk, ld : in std_logic;
          y : out std_logic_vector(3 downto 0));
end reg3;

architecture Behavioral of reg3 is
begin
    process (clk, ld)
    begin
        if clk = '1' and clk'event then
            if ld = '0' then
                y <= x;
            end if;
        end if;
    end process;
end Behavioral;
```

8. ทำการ ทดสอบและ Implement ลงชิพซีพีแอลดี โดยกำหนดตำแหน่งสัญญาณดังนี้

```
// Template UCF file created by the Project Navigator
NET clk LOC=P5;
NET y<0> LOC=P11;
NET y<1> LOC=P12;
NET y<2> LOC=P13;
NET y<3> LOC=P14;
NET ld LOC =P24;
NET x<3> LOC=P25;
NET x<2> LOC=P26;
NET x<1> LOC=P27;
NET x<0> LOC=P28;
```

9. ทดสอบชิพ โดยใช้สัญญาณจากวงจร clock เป็นสัญญาณ clk