

## การทดลองที่ 1 การออกแบบวงจรด้วยภาษาวีเอชดีแอล

### จุดประสงค์

1. เพื่อให้นักศึกษาได้รู้จักรูปแบบและการทำงานของภาษา VHDL
2. ศึกษาหลักการใช้โปรแกรม ModelSim SE/EE PLUS 5.4 เพื่อทดสอบการทำงานของวงจรได้อย่างถูกต้อง

### คำสั่ง

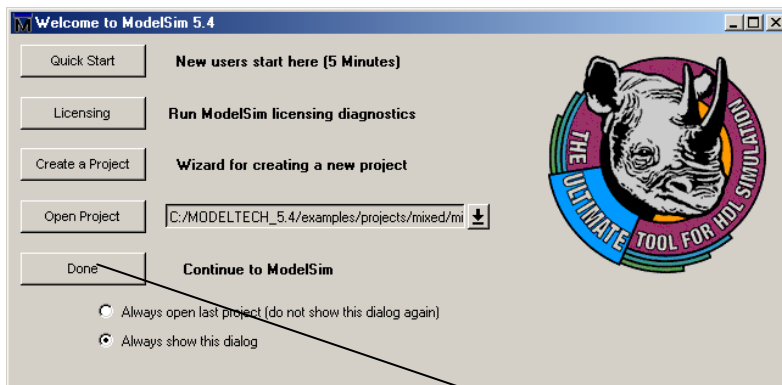
การทดลองนี้เป็นการทดลองที่จะฝึกให้นักศึกษาได้ออกแบบและทดลองเขียนโปรแกรมภาษาวีเอชดีแอลและทดสอบการทำงานโดยใช้โปรแกรม ModelSim SE/EE PLUS 5.4 ให้นักศึกษาศึกษาทฤษฎีจากเอกสารโดยละเอียดและทำการทดลองทุกขั้นตอน

### ทฤษฎี

ขั้นตอนการเขียนและจำลองโมเดลภาษาวีเอชดีแอล

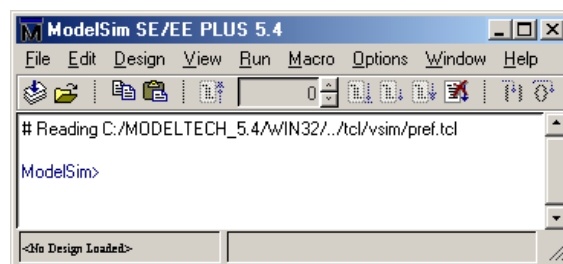
### การสร้างไฟล์วีเอชดีแอลใหม่

1. เมื่อเปิด (start) โปรแกรม ModelSim SE/EE PLUS 5.4 เข้าสู่หน้าจอ Welcome ของ ModelSim เราสามารถสร้างโปรเจกต์หรือเปิดโปรเจกต์จากหน้าจอนี้ได้ แต่ทั้งนี้เพื่อให้การใช้งานคล้ายๆกับ ModelSim รุ่นอื่นๆ จึงเลือกใช้ Main Window ในการสั่งงาน ให้เลือก Done เพื่อเข้าสู่ Main Window ของ ModelSim



รูปที่ 1.1 Welcom window

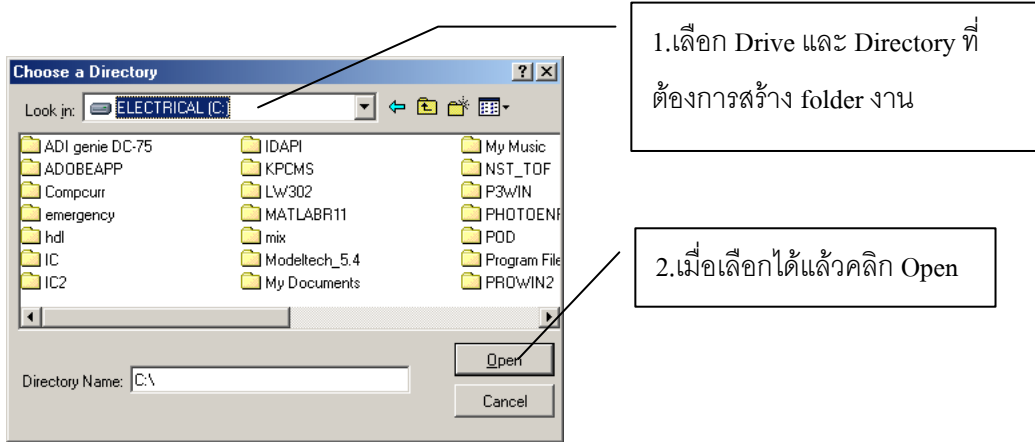
Done



รูปที่ 1.2 Main window

2. สร้าง Folder สำหรับเก็บงาน

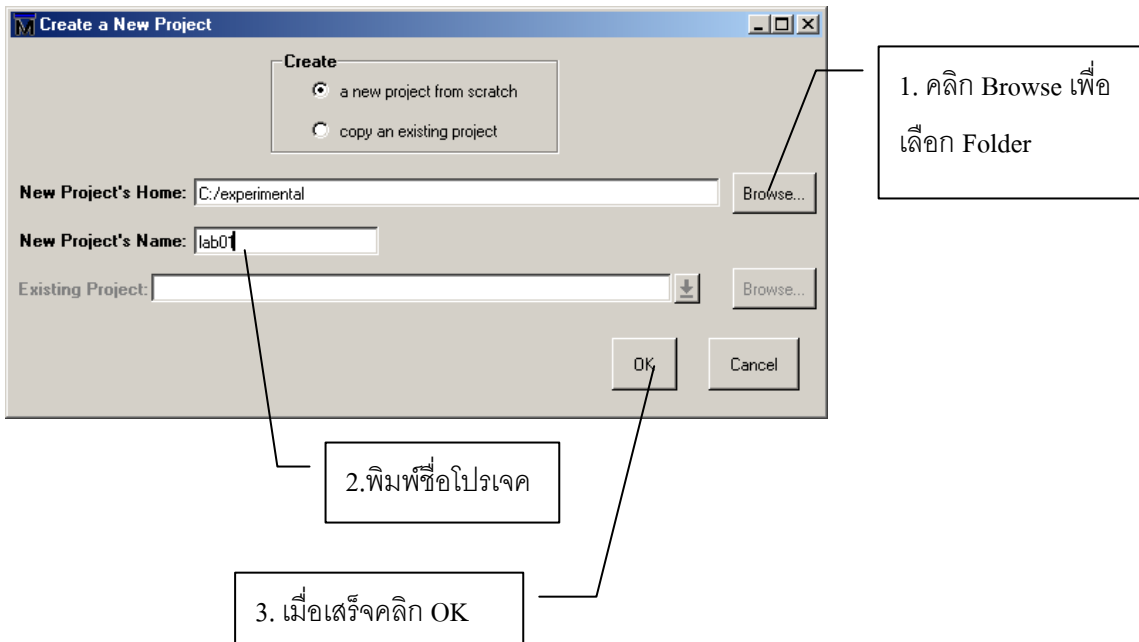
ใช้คำสั่ง Change Directory ในเมนู File เพื่อเลือก Drive และ Directory สำหรับไว้ Folder งาน



ใช้คำสั่ง File > New > Folder เพื่อสร้าง Folder ใหม่

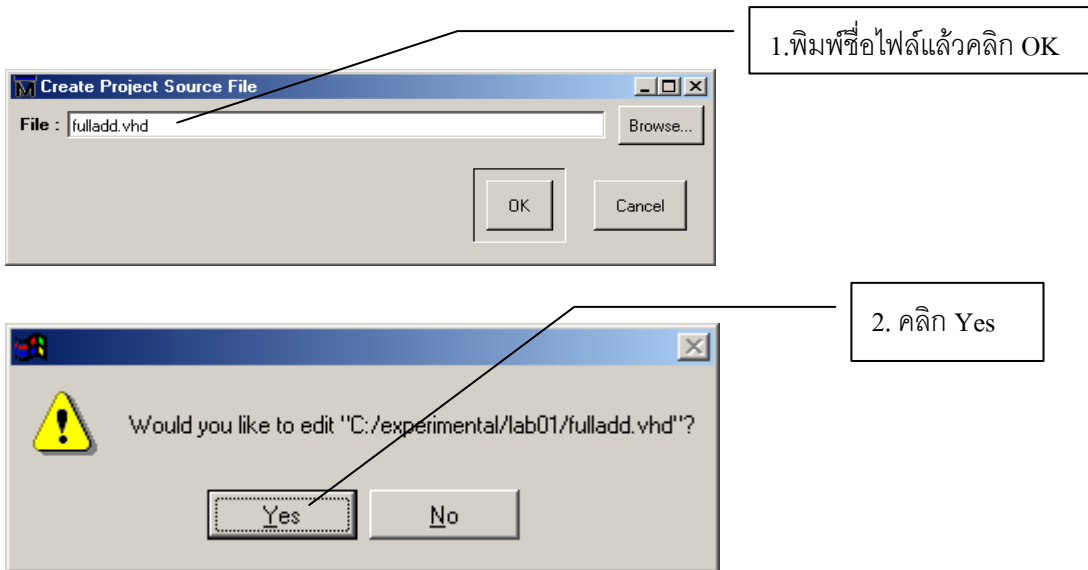


3. สร้างโปรเจกใหม่ใน Folder ที่เตรียมไว้ ใช้คำสั่ง File > New > Project



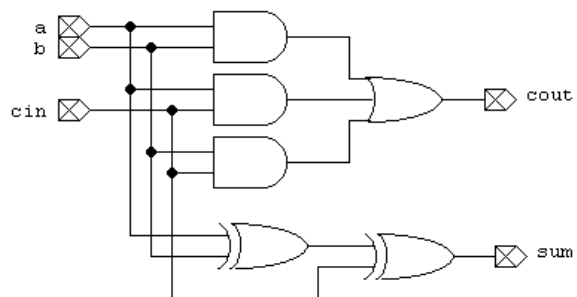
เมื่อเสร็จช่วงนี้ถ้าเข้าไปดูใน Folder D:\experiment\lab01 จะปรากฏไฟล์ Lab01.mpf และ Folder work

4. เขียนโมเดลของวงจร Full Adder ขนาด 1 บิต ใช้คำสั่ง File > New > Source > VHDL จะปรากฏหน้าต่าง Create Project Source File ให้พิมพ์ชื่อไฟล์ แล้วคลิก OK และเมื่อปรากฏหน้าต่างคำถามให้ตอบ Yes ดังนี้



จากนี้จะปรากฏ Notepad สำหรับเขียนงาน ให้เขียนภาษาวีเอชดีแอลตามซอร์สดังนี้

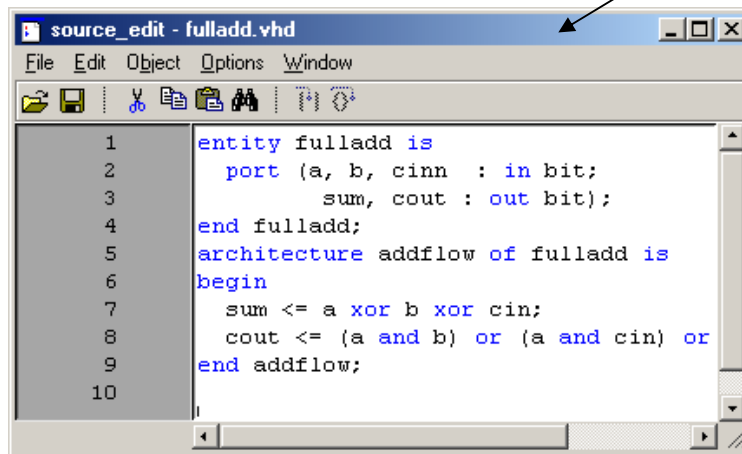
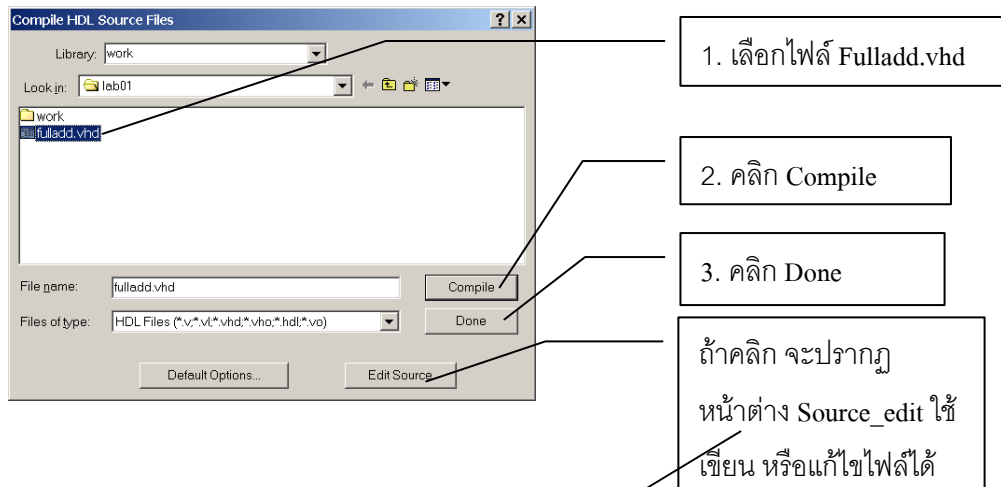
```
entity fulladd is
port (a : in bit;
      b : in bit;
      cin : in bit;
      sum : out bit;
      cout : out bit);
end fulladd;
architecture addflow of fulladd is
begin
sum <= a xor b xor cin;
cout <= (a and b) or (a and cin) or (b and cin);
end addflow;
```



เมื่อเขียนเสร็จให้บันทึกไฟล์ โดยใช้คำสั่ง File > save

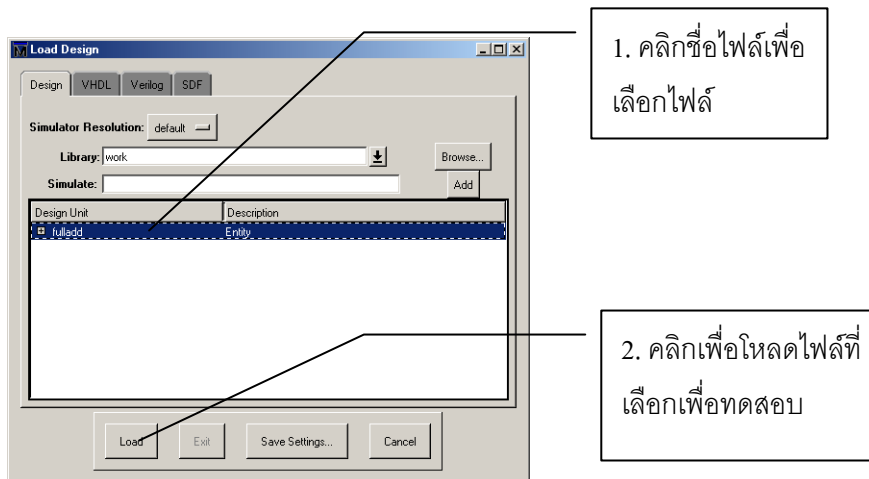
## การ Compile

ใช้คำสั่ง Design > Compile หรือคลิก  จะปรากฏหน้าต่าง Compile HDL Source File

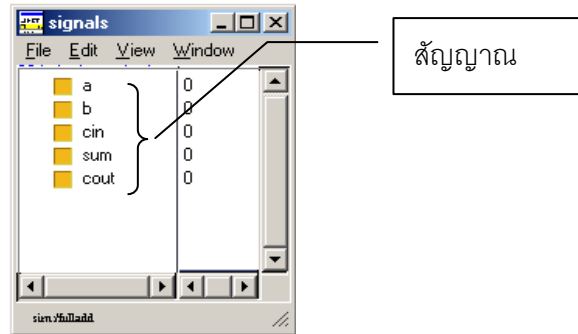


## การจำลองการทำงาน (Simulate)

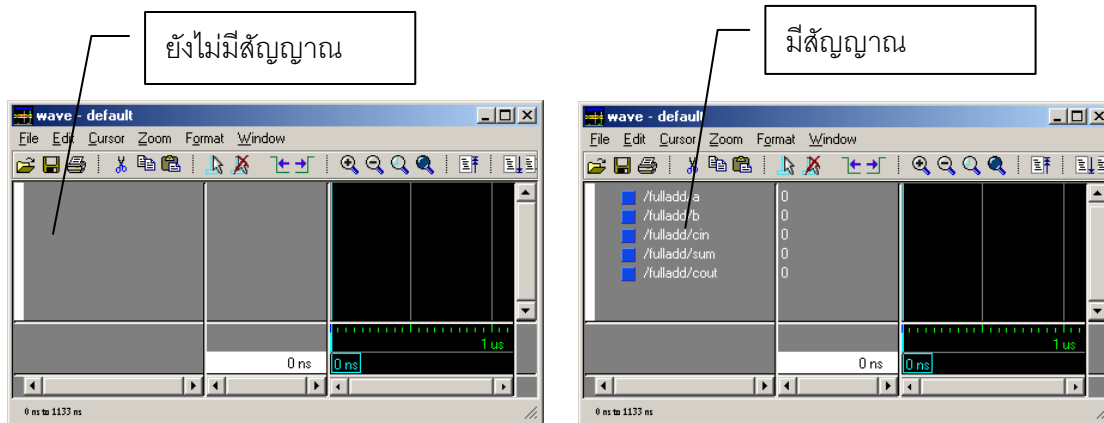
1. Design > Load New Design หรือคลิก  จะปรากฏหน้าต่าง Load Design



2. แสดงหน้าต่าง Signals โดยใช้เมนู View > Signal

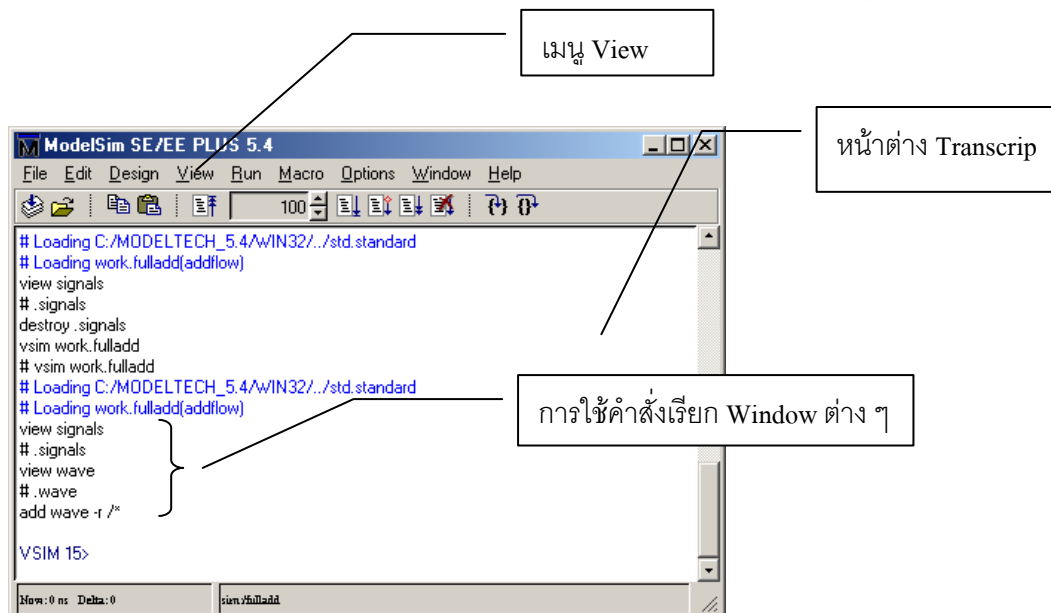


3. แสดงหน้าต่าง Wave โดยใช้เมนู View > Wave

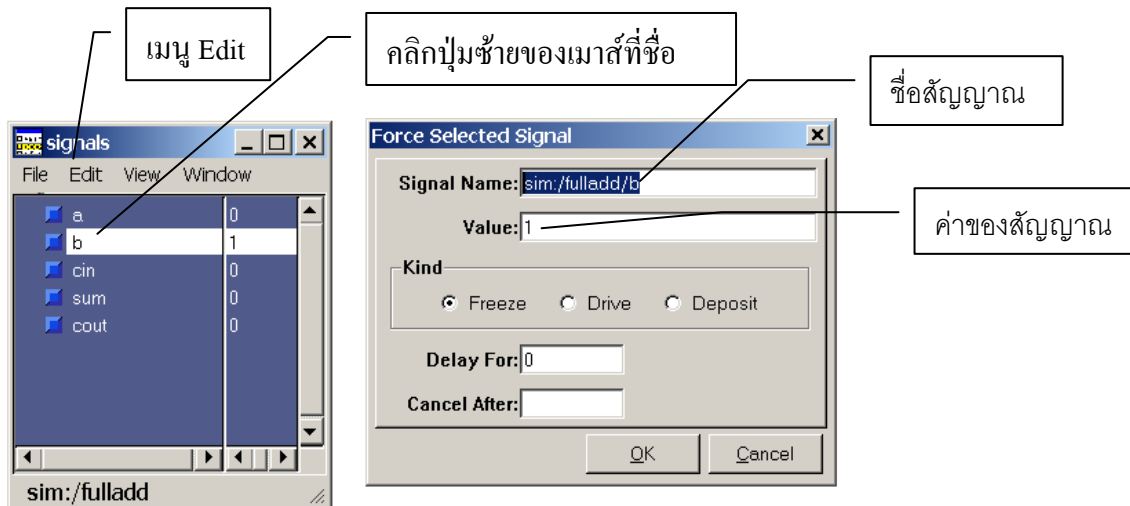


4. นำเอาสัญญาณ ทั้งหมดในหน้าต่าง Signals ไปส่งไปในหน้าต่าง Wave ใช้เมนู view ในหน้าต่าง Signal โดยใช้ View > wave > Signal in Design

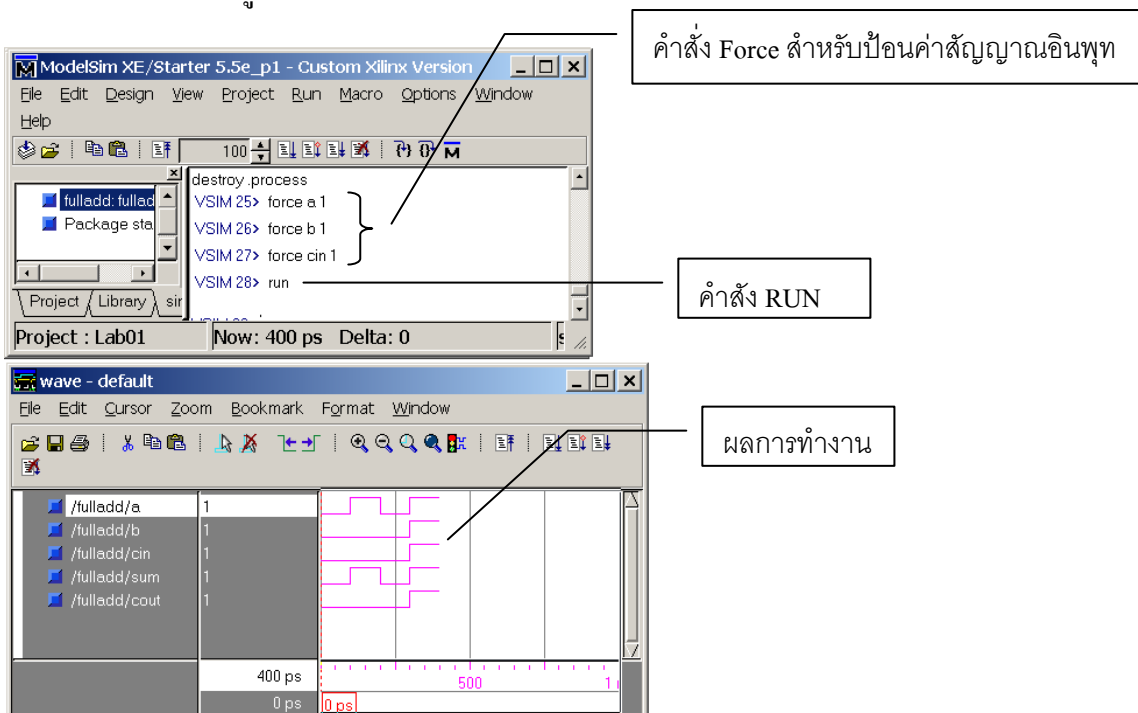
ในขั้นตอนที่ 2 ถึง ขั้นตอนที่ 4 นี้ สามารถเขียนด้วยคำสั่งในหน้าต่าง Transcript ได้



- เมื่อคลิกที่ปุ่ม RUN จะเห็นผลลัพธ์ของสัญญาณที่ หน้าต่าง Wave
- เราสามารถเปลี่ยนค่าของสัญญาณอินพุตได้ โดยเลือกสัญญาณด้วยการคลิกปุ่มซ้ายของเมาส์ที่ชื่อของสัญญาณในหน้าต่าง Signal แล้วเลือกเมนู Edit ใช้คำสั่ง Force ซึ่งจะแสดงหน้าต่าง Force Signal ขึ้นมา ให้ระบุที่ช่อง Value ว่าจะให้เป็นค่าอะไร การระบุสามารถระบุได้ที่ละสัญญาณเท่านั้น



- เมื่อเปลี่ยนค่าสัญญาณแล้วให้ RUN แล้วดูผลการทำงานที่หน้าต่าง Wave
- ให้ทดลองเปลี่ยนค่าต่างๆ แล้ว RUN เพื่อดูผลการทำงาน
- การป้อนค่าสัญญาณและการ RUN สามารถใช้วิธีพิมพ์คำสั่งลงในหน้าต่าง Transcript ก็ได้ผลเช่นเดียวกัน ลองดูตัวอย่างนี้



- หยุดการจำลองการทำงานด้วยคำสั่ง Design > End Simulation

## การใช้ไฟล์มาโคร (macro file) ช่วยทดสอบโปรแกรม

ไฟล์มาโคร เป็นไฟล์อักขระที่เขียนชุดคำสั่งสำหรับการ Simulate ไว้ เมื่อเวลาต้องการจำลองการทำงานก็ run ไฟล์มาโคร โดยใช้คำสั่ง DO ตัวอย่างไฟล์ macro สำหรับทดสอบวงจร Fulladd บรรจุคำสั่งต่อไปนี้

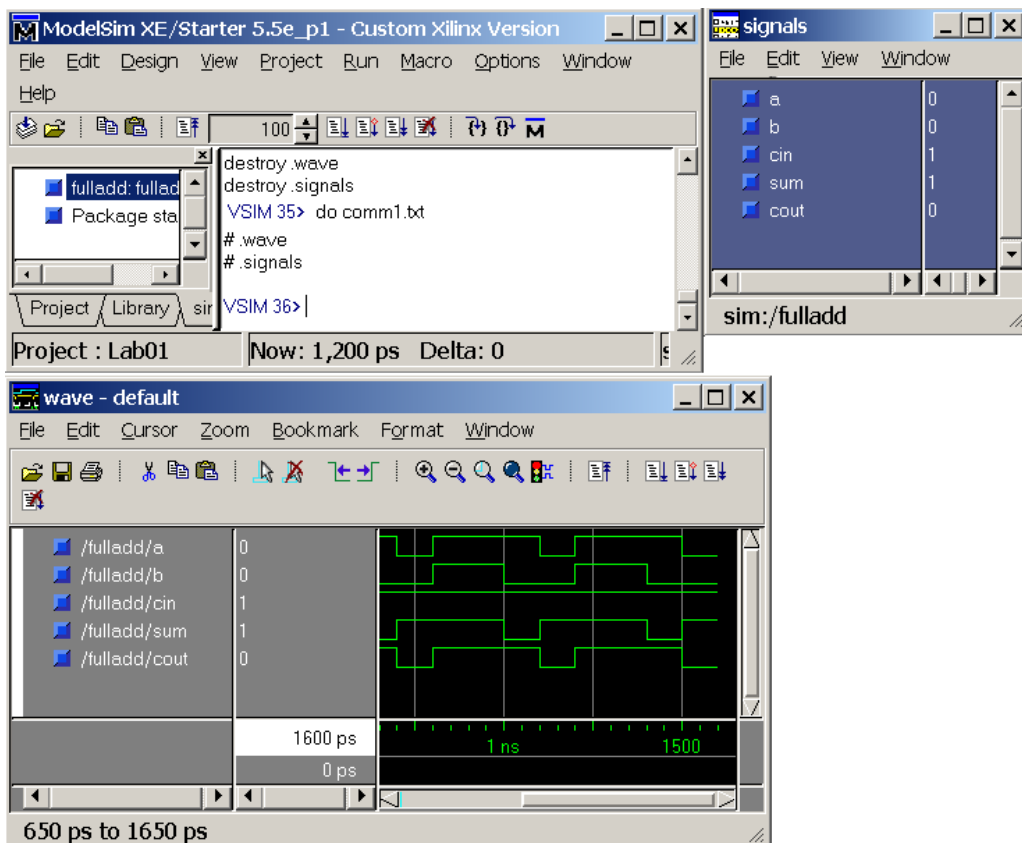
```
view wave
view signals
add wave -r /*
force a 1
force b 1
run
force cin 1
run
force b 0
run
force a 0
run
```



- แสดงหน้าต่าง wave
- แสดงหน้าต่าง Signal
- เลือก Signal in design แสดงที่หน้าต่าง wave
- ให้สัญญาณ a = 1
- ให้สัญญาณ b = 1 แล้ว Run
- ให้สัญญาณ Cin = 1 แล้ว Run
- ให้สัญญาณ a = 0 แล้ว Run

## การทดลอง

1. ใช้ โปรแกรม Editor เช่น Notepad สร้างไฟล์มาโคร แล้วบันทึกไว้ที่ Folder เดียวกับโปรแกรม Fulladd โดยให้ชื่อว่า comm1.txt
2. หลังจากที่ Compile ไฟล์แล้วที่หน้าต่าง Transcript ให้พิมพ์คำสั่ง DO comm1.txt จะปรากฏผลการทำงานดังนี้



### ตัวอย่างคำสั่งสำหรับการจำลองการทำงาน

DO execute commands contained in a macro file.

EXIT exit the simulator and the V-system application.

FORCE apply stimulus to signal.

RUN advance the simulator by the specified number of timesteps.

NOFORCE removes the effect of any active force commands on the selected signals.

RESTART reload the design and resets the simulation time to zero.

### ตัวอย่างการสร้างสัญญาณนาฬิกา

```
force clk 1 10, 0 30 -r 50
```

หมายถึง force สัญญาณ clk ให้เป็น 1 หลังจาก 10 หน่วยเวลา แล้ว force ให้เป็น 0 หลังจาก 30 หน่วยเวลา แล้วทำซ้ำทุกๆ 50 หน่วยเวลา เมื่อใช้คำสั่ง run จะมีการ force สัญญาณ clk โดยอัตโนมัติ