

เค้าโครงการเรียนการสอน (Course Syllabus)

๑. รหัสวิชา..วพ.313.....ชื่อวิชา.การโปรแกรมภาษาวีเอชดีแอล.....

๒. ภาคการศึกษา/ ปีการศึกษาที่เปิดสอน : ภาคการศึกษาที่...1.....ปีการศึกษาที่.....2559.....

วัน และเวลาบรรยาย : พุธห้สบดี 9.30 – 12.30

ห้องบรรยาย : วศ.505/3.....

๓. อาจารย์ผู้สอน/ ผู้รับผิดชอบรายวิชา (อาจารย์รายละเอียดเพิ่มเติมเพื่อให้นักศึกษาสามารถเข้าพบและปรึกษาได้)

๓.๑รศ.ณรงค์ บวบทอง..... อาจารย์ผู้สอน

๓.๒ อาจารย์ผู้รับผิดชอบรายวิชา

๔. กฎกติกา/ ข้อตกลงในการเรียน/ เกณฑ์การตัดเกรด/ ตำรา/ เอกสาร/ สื่อการเรียนการสอน

Evaluation

Attendance 10%

Assignment work 30%

Mid-term Examination 25%

Final Examination 35%

Grading

A 80 - 100

B+ 74 - 79

B 68 - 73

C+ 62 - 67

C 55 - 61

D+ 48 - 54

D 41 - 47

F 0 – 40

ตำรา/ เอกสาร/ สื่อการเรียนการสอน

1. ณรงค์ บวบทอง "การออกแบบระบบดิจิทัลด้วยวีเอชดีแอล" สำนักพิมพ์มหาวิทยาลัยธรรมศาสตร์ 2556
2. <http://narong.ece.engr.tu.ac.th/vhdl/index.html>

3. https://sites.google.com/site/eplearn/vhdl_fpga

๕. หัวข้อการเรียนการสอน/ แผนการสอน

สัปดาห์/คาบ	วันที่	หัวข้อการบรรยาย	อาจารย์ผู้สอน
1	18 ส.ค. 59	Introduction and Overview to VHDL	รศ. ณรงค์ บวบทอง
2	25 ส.ค. 59	VHDL Data type and Operators	รศ. ณรงค์ บวบทอง
3	1 ก.ย. 59	Concurrent Statement and Sequential Statement	รศ. ณรงค์ บวบทอง
4	8 ก.ย. 59	การใช้โปรแกรมสำหรับ VHDL และการสร้างวงจรบนอุปกรณ์ FPGA	รศ. ณรงค์ บวบทอง
5	15 ก.ย. 59	การออกแบบวงจรคอมไบเนชันนอลโลจิกด้วย VHDL 1	รศ. ณรงค์ บวบทอง
6	22 ก.ย. 59	การออกแบบวงจรคอมไบเนชันนอลโลจิกด้วย VHDL 2	รศ. ณรงค์ บวบทอง
7	29 ก.ย. 59	การออกแบบวงจรคอมไบเนชันนอลโลจิกด้วย VHDL 3	รศ. ณรงค์ บวบทอง
8	6 ต.ค. 59	สัปดาห์การสอบกลางภาค	
9	13 ต.ค. 59	Subprogram	รศ. ณรงค์ บวบทอง
10	20 ต.ค. 59	Testbenches File และ I/O	รศ. ณรงค์ บวบทอง
11	27 ต.ค. 59	อุปกรณ์โลจิกแบบโปรแกรมได้ (Programmable Logic Device)	รศ. ณรงค์ บวบทอง
12	3 พ.ย. 59	Register Transfer Level Synthesis	รศ. ณรงค์ บวบทอง
13	10 พ.ย. 59	การออกแบบวงจรซีควีนเชียลโลจิกด้วย VHDL	รศ. ณรงค์ บวบทอง
14	17 พ.ย. 59	การออกแบบ Finite State Machine (FSM) ด้วย VHDL	รศ. ณรงค์ บวบทอง
15	24 พ.ย. 59	memory model	รศ. ณรงค์ บวบทอง
16	1 ธ.ค. 59	กรณีศึกษา	รศ. ณรงค์ บวบทอง
17	13 ธ.ค. 59	สอบปลายภาค	

๖. รายละเอียดอื่นๆ ที่เห็นสมควร

วัตถุประสงค์: หลักสตูร์นี้ต้องการให้นักศึกษาสามารถใช้ภาษา VHDL ในการวิเคราะห์ จำลองและออกแบบระบบดิจิทัล และสามารถนำไปใช้สร้างระบบต้นแบบได้

รายละเอียดรายวิชา:

ผู้เรียนจะมีความรู้ความเข้าใจเกี่ยวกับการใช้ VHSIC (Very High Speed Integrated Circuit) Hardware Description Language (VHDL) เพื่อการสร้างโมเดลของระบบดิจิทัล โดยผู้เรียนได้รับความรู้ในหลักการ ทำงานของภาษาวีเอชดีแอล รู้จัก รูปแบบ โครงสร้าง ตัวกระทำ และคำสั่งในภาษาวีเอชดีแอล สามารถใช้ ภาษาวีเอชดีแอลออกแบบวงจรดิจิทัลในระดับต่างๆทั้งแบบ Top-Down และ Button-Up สามารถใช้ ภาษาวีเอชดีแอลออกแบบวงจรดิจิทัลทั้งแบบคอมไบเนชันนอลและแบบซีควีนเชียลได้ สามารถนำภาษาวีเอชดีแอลไปประยุกต์ใช้งานได้