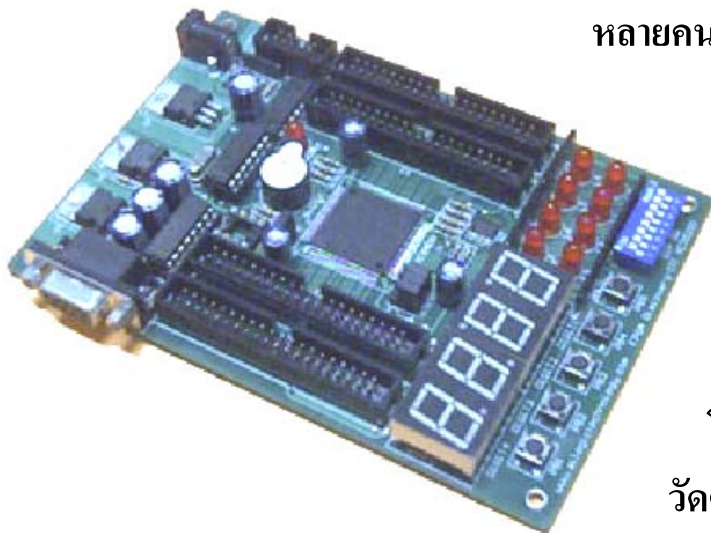


FPGA Discovery-III XC3S200

บอร์ด FPGA SPARTAN-3 : 200,000 เกต

สำหรับงานออกแบบไอซีดิจิทัลขนาดใหญ่

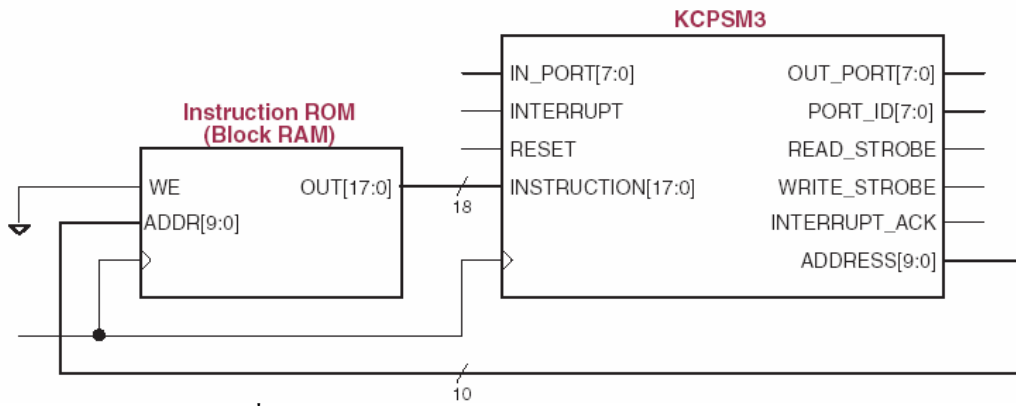
บริษัท เอเพก อินสตรูเมนต์ จำกัด



หลายคนอาจจะยังไม่ทราบว่าปัจจุบันได้มีการนำ
FPGA มาใช้ในการออกแบบสร้างไอซี
ดิจิทัลขนาดใหญ่กันอย่างแพร่
หลาย เช่น ไมโครโพรเซสเซอร์
ดิจิทัลฟิลเตอร์ ส่วนประกอบหลัก
ของแผงวงจรดิจิทัลทางด้านอุปกรณ์
โทรคมนาคม เครื่องมือแพทย์ เครื่องมือ
วัดต่างๆ และระบบเครือข่าย เป็นต้น

FPGA (Field Programmable Gate Arrays) เป็นไอซีหรือชิพอนเนกประสงค์ที่สามารถโปรแกรมให้เป็นวงจรดิจิทัลอะไรก็ได้โดยวิธีการโปรแกรมแบบง่ายๆ และสามารถแก้ไขวงจรได้อย่างสะดวกด้วยการโปรแกรมซ้ำ FPGA จะเหมาะสำหรับการออกแบบวงจรดิจิทัลขนาดกลางจนถึงวงจรขนาดใหญ่มากๆ เช่น ไมโครโพรเซสเซอร์ ดิจิทัลฟิลเตอร์ ส่วนประกอบหลักของแผงวงจรดิจิทัลของอุปกรณ์ทางการแพทย์ เครื่องมือวัดต่างๆ อุปกรณ์สื่อสาร หรือ อุปกรณ์เครือข่าย เป็นต้น นักออกแบบดิจิทัลที่เคยออกแบบวงจรขนาดใหญ่และวงจรดิจิทัลที่ซับซ้อนมากๆ ก็จะทราบว่าอาจมีความจำเป็นต้องใช้ FPGA ขนาดใหญ่ที่มีความจุรวมมากตั้งแต่ขนาดหลายหมื่นเกตจนไปถึงระดับหลักหลายล้านเกต

ผู้ประกอบการหรือนักวิจัยที่ต้องการออกแบบสร้างผลิตภัณฑ์ที่มีแผงวงจรอิเล็กทรอนิกส์เป็นส่วนประกอบและจำเป็นต้องใช้เทคโนโลยีดิจิทัลขั้นสูง มีหลายบริษัทหรือหลายท่านภายในประเทศที่ยังมีข้อจำกัดเรื่องเงินทุนในการพัฒนาไอซีขึ้นมาใช้งานเองเพื่อให้เหมาะกับงานของตัวเองเป็นการเฉพาะหรือหาซื้อไอซีดิจิทัลที่เหมาะสมกับงานไม่ได้ ทำให้ไม่สามารถพัฒนาผลิตภัณฑ์ที่มีคุณภาพและขนาดกระทัดรัดหรือมีสมรรถนะสูงได้ จึงสูญเสียโอกาสที่จะแข่งขันกับต่างประเทศ ชิพ FPGA จึงเป็นทางออกแนวทางใหม่สำหรับการแก้ไขปัญหานี้ ซึ่งเป็นการสร้างเทคโนโลยีที่เป็นของตนเอง และสามารถลดการพึ่งพาเทคโนโลยีจากต่างประเทศได้มาก เราไม่เพียงแต่จะออกแบบวงจรดิจิทัลขนาดใหญ่ๆ ที่เดิมเคยใช้ไอซีดิจิทัลหลายๆ ตัวมาโปรแกรมรวมไว้ในชิพหรือไอซี FPGA เท่านั้น แต่เรายังสามารถออกแบบโดยรวมเอาพวกไมโครคอนโทรลเลอร์แบบฝังตัว (Embedded microcontroller) เข้าไว้ในชิพ FPGA ได้อีกด้วยเพื่อเพิ่มประสิทธิภาพและความยืดหยุ่นในการออกแบบวงจร รูปที่ 1 เป็นตัวอย่างการสร้างไมโครคอนโทรลเลอร์แบบฝังตัวขนาด 8 บิต ตระกูล PicoBlaze microcontroller ไว้ในชิพ FPGA อย่างง่ายๆ โดยการเขียนด้วยภาษา VHDL ในการเรียกโมดูล ชื่อ KCPSM3 และใช้ Block RAM ที่มีอยู่แล้วใน FPGA ให้ฟอร์มตัวเป็น ROM สำหรับเก็บโค้ดคำสั่งต่างๆ ซึ่งถ้าเป็น FPGA ตระกูล Spartan-3 เบอร์ XC3S200 จะกินพื้นที่วงจรภายในตัวชิพประมาณ 4 – 8 % โดยจะ RUN ที่ความถี่สูงสุดประมาณ 87 Mhz หรือ 43.5 MIP จะเห็นได้ว่าไมโครคอนโทรลเลอร์นี้จะ RUN ที่ความถี่สูงกว่าไมโครคอนโทรลเลอร์ทั่วไปที่มีขายอยู่ในท้องตลาดว่าประมาณ 2 – 20 เท่ากันเลยทีเดียว

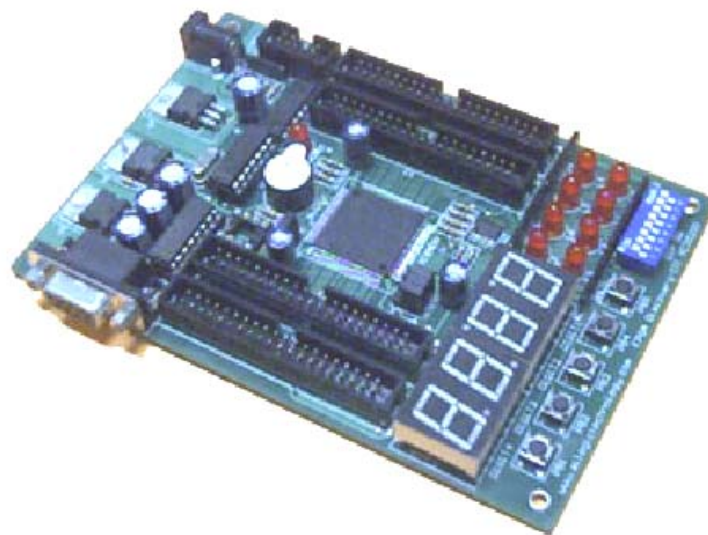


รูปที่ 1 การสร้างไมโครคอนโทรลเลอร์แบบฝังตัวไว้ใน FPGA

สำหรับงานที่ต้องการสร้างวงจรที่ซับซ้อนหรือต้องการความยืดหยุ่นและการประมวลผลความเร็วสูงมาก ๆ ก็อาจสร้างไมโครคอนโทรลเลอร์แบบฝังตัวขนาด 32 บิต ตระกูล MicroBlaze ไว้ใน FPGA นี้ได้เช่นกัน โดยจะกินพื้นที่วงจรอย่างน้อย 27% โดยจะ RUN ที่ความถี่สูงสุดประมาณ 85 Mhz

จะเห็นได้ว่าการที่แผงวงจรประกอบด้วยไอซีเพียงไม่กี่ตัวจะทำให้ขนาดแผงวงจรลดลงอย่างมาก การที่วงจรต่างๆ ถูกออกแบบรวมไว้ในตัวไอซีเดียวกันเป็นส่วนใหญ่และมีการเชื่อมต่อของสายสัญญาณสั้นลงจะทำให้ความเร็วในการทำงานของวงจรเพิ่มสูงขึ้น และการมีจุดเชื่อมต่อสัญญาณที่อยู่ภายนอกน้อยลงก็จะทำให้วงจรมีความน่าเชื่อถือเพิ่มขึ้นอีกด้วย

บอร์ดทดลองอเนกประสงค์รุ่น FPGA Discovery-III XC3S200 มีรายละเอียดแสดงดังรูปที่ 2 โดยที่บอร์ดนี้จะเป็นได้ทั้งบอร์ดทดลองและบอร์ดพัฒนา FPGA ในบอร์ดเดียวกันที่มีความจุวงจรมากถึง 200,000 เกต และใช้ Platform Flash PROM สำหรับเก็บข้อมูลวงจร ซึ่งสามารถโปรแกรมวงจรลง Platform Flash PROM ผ่านทางสายคาวาน์โหลดแบบ JTAG ได้โดยตรงและสามารถโปรแกรมซ้ำได้ถึง 20,000 ครั้ง บอร์ดอเนกประสงค์นี้มีอุปกรณ์อำนวยความสะดวกที่เพียบพร้อมด้วยอุปกรณ์อินพุตเอาต์พุตอย่างครบครันเพื่อให้ผู้ทดลองได้เรียนรู้การออกแบบวงจรรวมคิิตอลตั้งแต่วงจรขั้นพื้นฐานจนถึงขั้นนำไปพัฒนาออกแบบสร้างวงจรขนาดใหญ่ได้ด้วยตัวเอง]



รูปที่ 2 บอร์ดทดลองอเนกประสงค์รุ่น FPGA Discovery-III XC3S200

คุณสมบัติทั่วไปของบอร์ดอเนกประสงค์

- FPGA ตระกูล Spartan-3 ของ Xilinx เบอร์ XC3S200 ขนาด 200,000 เกต Package แบบ TQ144 , Speed Grade:4
- Platform Flash PROM เบอร์ XCF01S ที่โปรแกรมข้อมูลวงจรซ้ำได้ ถึง 20,000 ครั้ง
- 7-Segment จำนวน 4 หลัก (ถอดออกได้)
- LED จำนวน 8 ดวง (สามารถแยกออกจาก I/O ได้โดยการถอดหรือหักเอา RNET3 และ RNET4 ออก)
- Buzzer จำนวน 1 ตัว DIP Switch 8 บิต

- Push Botton Switch จำนวน 5 ตัว
- Expansion ports (80 Bits 3.3V. I/O)
- RS-232C Port 1 Port
- I2C Socket สำหรับ EEPROM
- 25 Mhz Oscillator (เปลี่ยนเป็นความถี่อื่นๆ ได้โดยใช้ Digital Frequency Synthesizer มีที่อยู่ใน FPGA)

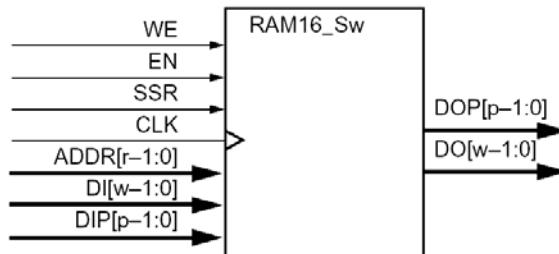
คุณสมบัติที่สำคัญของชิพ FPGA ตระกูล Spartan-3 เบอร์ XC3S200 สรุปดังนี้

- ความจุวงจร 200,000 เกต
- 18Kb block RAMs จำนวน 12 ชุด (รวม 216Kb)
- 18x18 hardware multiplier จำนวน 12 ชุด
- Digital Clock Manager (DCM) จำนวน 4 ชุด
- Digitally Controlled Impedance (DCI)

ชิพ FPGA ตระกูล Spatan-3 เบอร์นี้มีความโดดเด่น คือ มีหน่วยความจำแบบ RAM รวมกันมากถึง 216Kb และมีตัวคูณที่เป็นฮาร์ดแวร์มากถึง 12 ชุด รวมทั้ง DCM อีก 4 ชุด ซึ่งเหมาะสำหรับงานที่ต้องใช้ไมโครคอนโทรลเลอร์แบบฝังตัวทำงานร่วมกับวงจรดิจิทัลส่วนอื่นๆ จึงทำให้การออกแบบวงจรทำได้ง่ายและมีความมีประสิทธิภาพ โดยอุปกรณ์ที่อยู่ภายในชิพมีคุณสมบัติดังนี้

1) หน่วยความจำ 18Kb block RAM

18Kb block RAM เป็นหน่วยความจำที่มีความเร็วสูงมาก (โดยประมาณ) 200 Mhz ที่มีอยู่ในชิพจำนวน 12 ชุด สามารถฟอร์มให้เป็น RAM หรือ ROM ที่มีขนาดต่างๆ กันได้รวมทั้ง FIFO ด้วย โดยรูปที่ 3 แสดงขนาด RAM แบบ Single Port ส่วนในรูปที่ 4 แสดงตัวอย่าง RAM แบบ Single Port ขนาดต่างๆ ที่สร้างจาก Block RAM แต่ละชุด



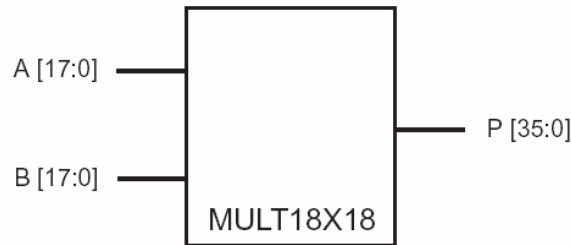
รูปที่ 3 แสดงขนาด RAM แบบ Single Port

| Organization | Memory Depth | Data Width | Parity Width |
|--------------|--------------|------------|--------------|
| 512x36 | 512 | 32 | 4 |
| 1Kx18 | 1024 | 16 | 2 |
| 2Kx9 | 2048 | 8 | 1 |
| 4Kx4 | 4096 | 4 | - |
| 8Kx2 | 8192 | 2 | - |
| 16Kx1 | 16384 | 1 | - |

รูปที่ 4 RAM แบบ Single Port ขนาดต่างๆ ที่สร้างจาก Block RAM แต่ละชุด

2) 18x18 Hardware multiplier

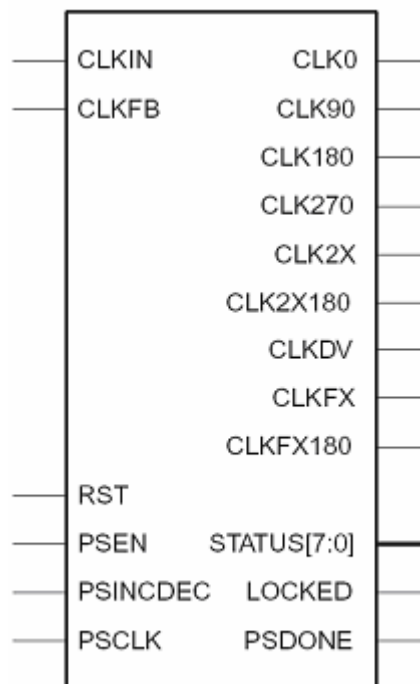
18x18 hardware multiplier เป็นฮาร์ดแวร์ของวงจรรวมสำเร็จรูปขนาด 18x18 บิตที่มีความเร็วในการทำงานสูงมาก ซึ่งมีสัญลักษณ์ดังรูปที่ 5 มีจำนวนทั้งหมด 12 ชุด หลายคนที่เคยออกแบบวงจรดิจิทัลฟิลเตอร์มาก่อนอาจคิดว่าให้ตัวคูณมาน้อยไป แต่ในความเป็นจริงเราพบว่าความถี่ทำงานของวงจรรวมดิจิทัลฟิลเตอร์เป็นแค่ระดับไม่กี่สิบบางกิโลเฮิร์ตซ์ ดังนั้นหากใช้วิธีมัลติเพล็กซ์สัญญาณเข้ามาที่ตัวคูณแต่ละตัวก็จะเสมือนว่ามีตัวคูณได้หลายตัว



รูปที่ 5 สัญลักษณ์ของ 18x18 hardware multiplier

3) Digital Clock Manager

Digital Clock Manager (DCM) ทำให้ชิปตระกูล Spartan-3 มีความโดดเด่นอย่างมาก เป็นวงจรที่มีความสำคัญมากที่ช่วยจัดการเกี่ยวกับสัญญาณนาฬิกา ซึ่งมีอยู่ในชิปจำนวน 4 ชุด และถือได้ว่า DCM ช่วยทำให้การออกแบบวงจรง่ายขึ้นอย่างมากเนื่องจากสามารถสร้างความถี่ต่างๆ ได้อย่างมากมายจากออสซิลเลเตอร์จากภายนอกเพียงชุดเดียว จึงไม่มีความจำเป็นใดๆ ที่ต้องหาสัญญาณนาฬิกาจากภายนอกหลายๆ แหล่งอีกต่อไป ไม่เพียงเท่านั้นสัญญาณพิคาคังกล่าวยังซิงค์โครไนซ์กับสัญญาณนาฬิกาจากออสซิลเลเตอร์เดิมอีกด้วย ทำให้สามารถนำไปใช้เป็นตัวกำเนิดสัญญาณนาฬิกาความถี่ต่างๆ ได้โดยไม่ต้องใช้ Variable Clock จากภายนอกแต่อย่างใด DCM มีสัญลักษณ์แสดงดังรูปที่ 6 ซึ่ง DCM จะทำงานในหน้าที่ดังต่อไปนี้



รูปที่ 6 สัญลักษณ์ของวงจร DCM

3.1) ทหารความถี่ (Clock Divider) เป็นวงจรซึ่งจะให้ความถี่เอาต์พุตเท่ากับความถี่อินพุตหารด้วยตัวเลขดังต่อไปนี้ คือ 1.5, 2, 2.5, 3, 3.5, 4, 4.5, 5, 5.5, 6, 6.5, 7, 7.5, 8, 9, 10, 11, 12, 13, 14, 15, หรือ 16 ตามลำดับ

3.2) สร้างความถี่สองเท่า (Clock Doubler) เป็นวงจรซึ่งจะให้ความถี่ที่เอาต์พุตจะเป็น 2 เท่าของความถี่อินพุต

3.3) Digital Frequency Synthesizer (DFS) เป็นวงจรซึ่งสามารถกำหนดให้ความถี่เอาต์พุตเท่ากับผลคูณของความถี่อินพุตกับอัตราส่วนของ M/D โดยที่ M = 2 ถึง 32 และ D = 1 ถึง 32 วงจรนี้นำไปใช้งาน เช่น สร้างวงจรเปลี่ยนจากการส่งข้อมูลแบบขนานเป็นอนุกรม ซึ่งต้องสร้างสัญญาณนาฬิกาสูงกว่าของเดิม เช่น 10 – 11 เท่า เป็นต้น หรืองานอื่นๆ ที่ต้องใช้วงจรฟรีควเอนซ์ซินธิไซเซอร์ เช่น ต้องการความถี่ 66.6666 Mhz แต่ออสซิลเลเตอร์บนบอร์ดนี้คือ 25 Mhz เป็นสัญญาณอินพุตให้กับ DFS ดังนั้นต้องกำหนดให้ DFS ให้ M=8 และ D=3 แล้วจะได้เอาต์พุตที่ต้องการคือ 66.6666 Mhz

3.4) Delay-Locked Loop (DLL) เป็นวงจรใช้แก้ปัญหาการเลื่อนเฟสในวงจรให้กลับมามาตรงตามเฟสที่ต้องการ

3.5) Quadrant Phase Shift เป็นวงจรเลื่อนเฟส 90 , 180 และ 270 องศา ตามลำดับ

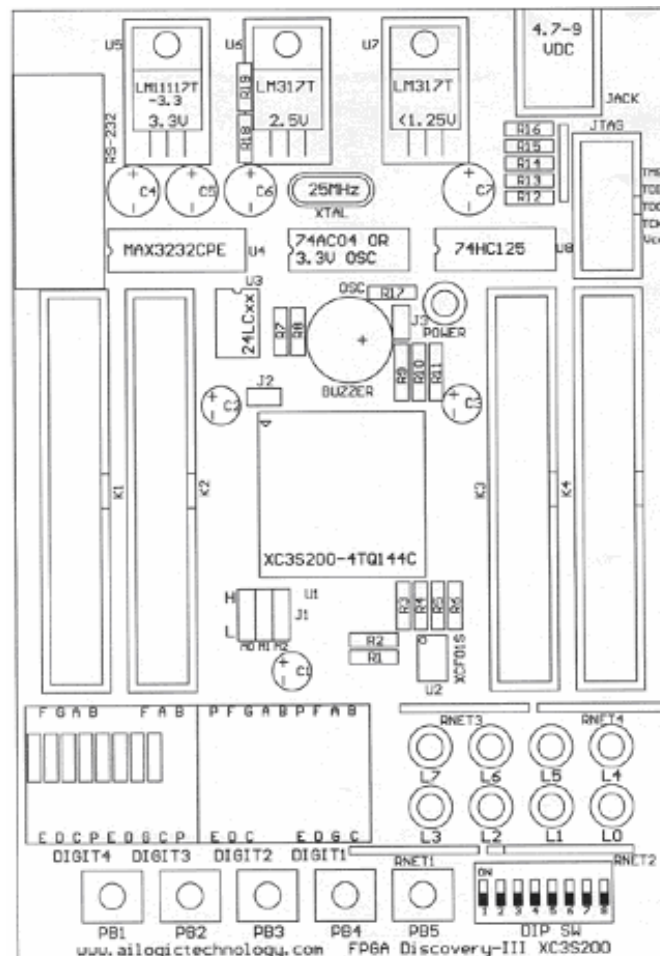
3.6) Fine Phase Shift เป็นวงจรใช้ในการเลื่อนเฟสอย่างละเอียด มีความละเอียดอยู่ที่ 1/ 256 เท่าของคาบความถี่ วงจรนี้มีความสำคัญมากเช่นกัน ที่ใช้ในการชดเชยการเลื่อนเฟสที่เกิดขึ้นในวงจร ทำให้การออกแบบง่ายขึ้นอย่างมาก

4) Digitally Controlled Impedance (DCI)

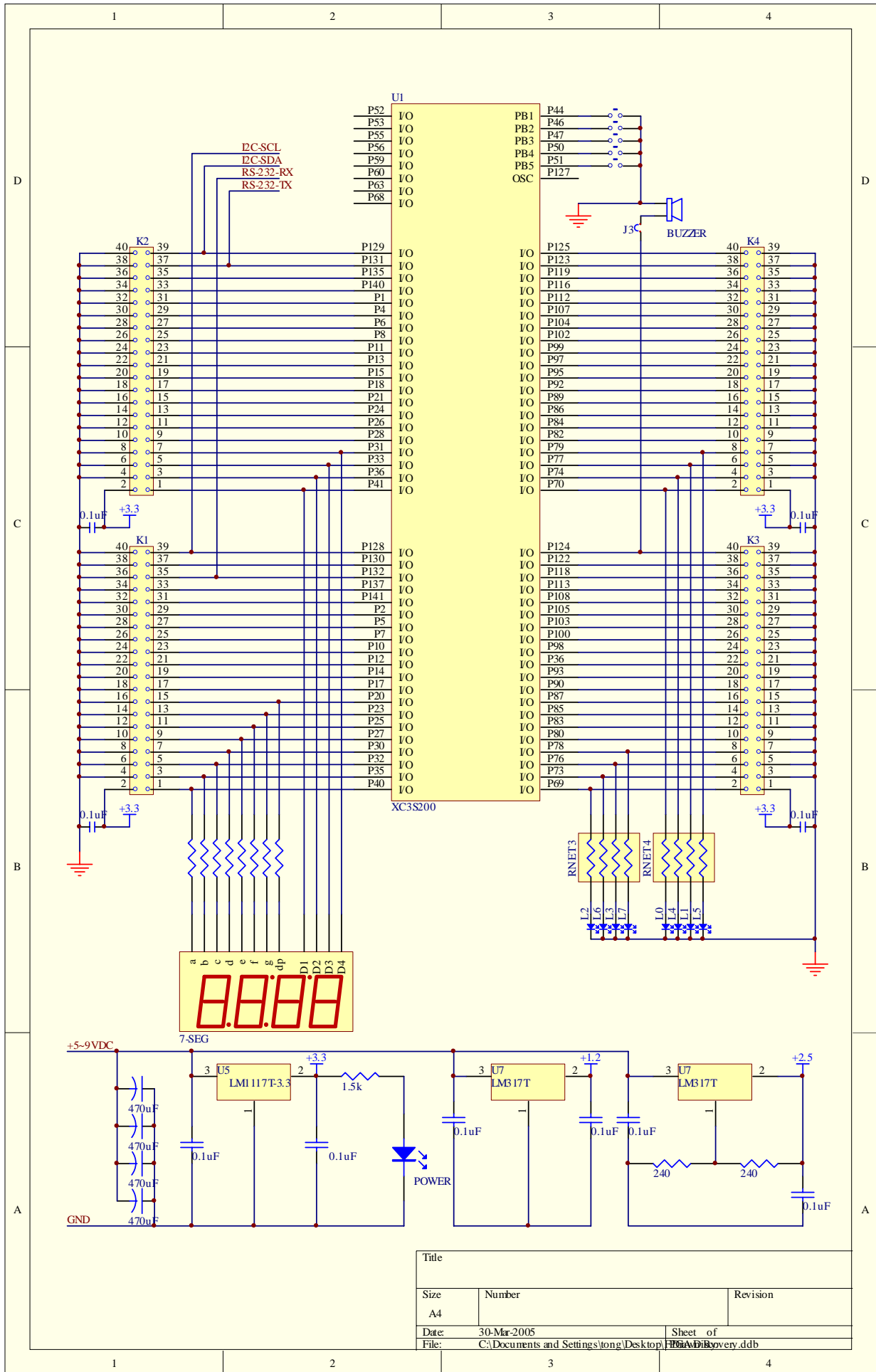
Digitally Controlled Impedance (DCI) ใช้ป้องกันสัญญาณสะท้อนใน PCB โดยการควบคุมเอาต์พุตอิมพีแดนซ์ที่เหมาะสม

หลักการทํางานของบอร์ดอเนกประสงค์

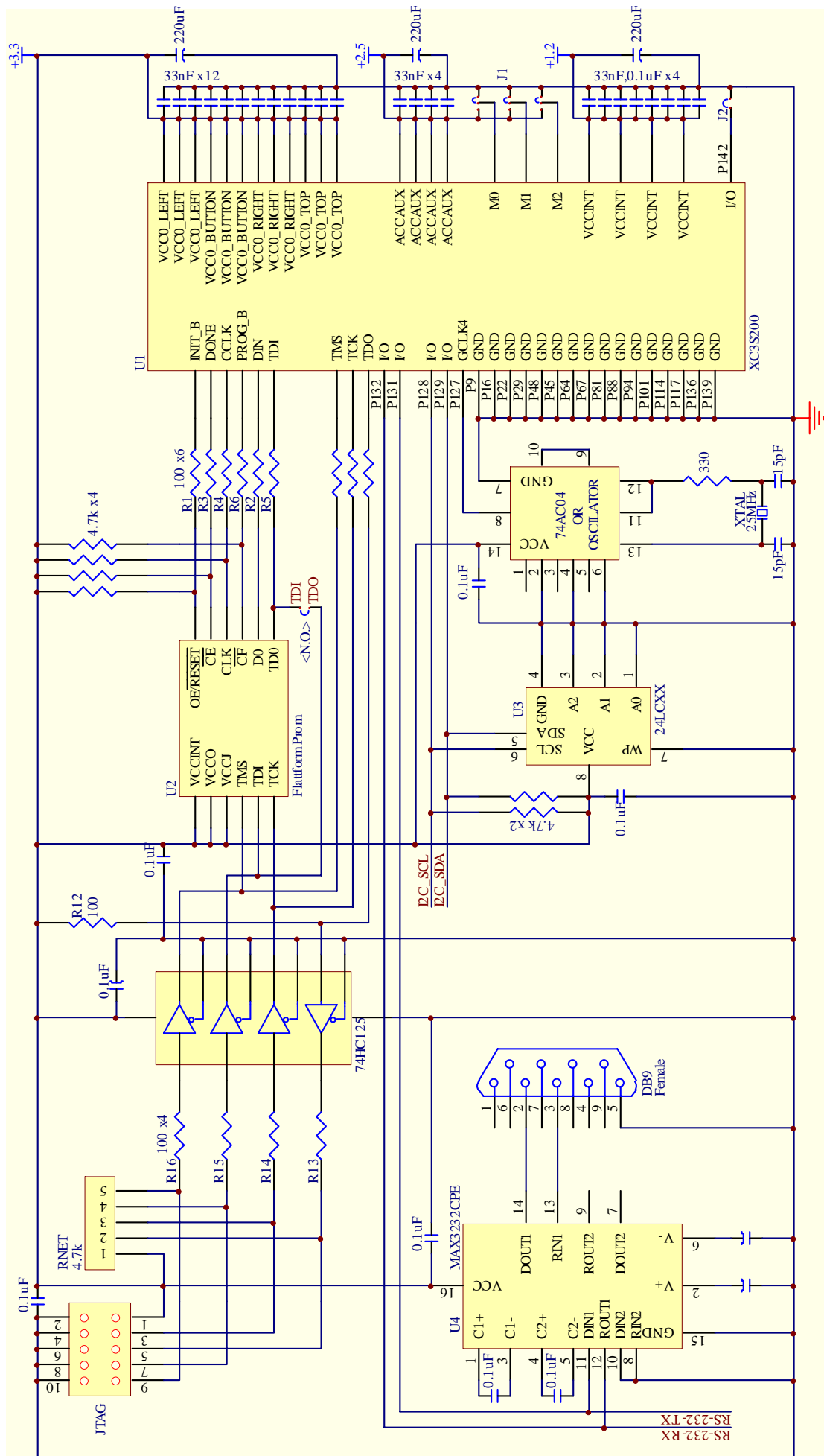
บอร์ดทดลองอเนกประสงค์รุ่น FPGA Discovery-III XC3S200 มีการจัดวางตำแหน่งการวางอุปกรณ์ด้านบน แสดงดังรูปที่ 7 และมีรายละเอียดไดอะแกรมผังวงจรแสดงดังรูปที่ 8(a) และ 8(b)



รูปที่ 7 การจัดวางตำแหน่งการวางอุปกรณ์ด้านบน



รูปที่ 8(a) รายละเอียดไดอะแกรมผังวงจรบอร์ดทดลองเอกประสกรุ่น FPGA Discovery-III XC3S200



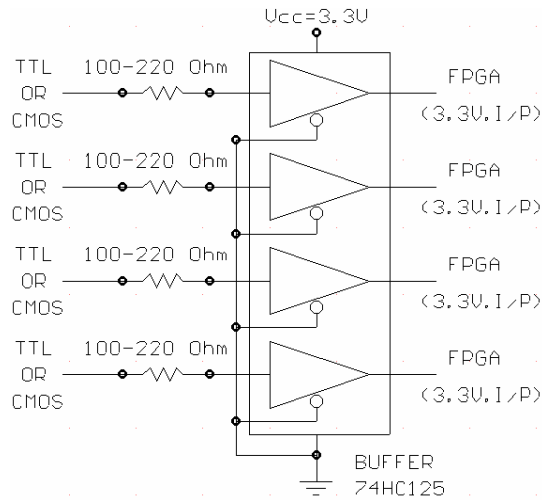
รูปที่ 8(b) รายละเอียดไดอะแกรมผังวงจรบอร์ดทดลองเนกประสงศ์รุ่น FPGA Discovery-III XC3S200

ด้านเอาต์พุตบอร์ดทดลองนี้มี LED จำนวน 8 ดวง คือ LED1- LED8 โดยต่อขาคาโอด (Cathode) ลงกราวนด์ และต่อขาแอนโอดเข้ากับขาอินพุตเอาต์พุต (I/O) ของชิพ FPGA โดยมีตัวต้านทานแบบเนตเวิร์ก (ภายในประกอบด้วย R=470 โอห์ม 4 ตัวแยกอิสระ) คือ RNET3 และ RNET4 ต่ออนุกรมอยู่เพื่อจำกัดกระแส ดังนั้นถ้า FPGA ส่งลอจิก “1” มาที่ขาใด จะทำให้ LED ดวงนั้นสว่าง เนื่อง I/O ที่ใช้ขับ LED และบาง I/O ที่คอนเนคเตอร์ K3 และ K4 ต่อพ่วงกันอยู่ดังนั้นหากต้องการใช้ I/O ของ K3 และ K4 ตรงส่วนนี้หรือไม่ต้องการใช้ LED ก็สามารถหักตัวต้านทานแบบเนตเวิร์กออกได้ง่าย

ตัวแสดงผลเซเวนเซกเมนต์ (7-Segment) จำนวน 4 หลัก คือ DIGIT1 – DIGIT4 โดยใช้เทคนิคการสแกนในการแสดงตัวเลขบนตัวแสดงผลทั้ง 4 หลักพร้อมๆ กันเพื่อประหยัดสายสัญญาณโดยมีหลักการคือ ทำการส่งตัวเลขไปที่หลักแรกแล้วทำการเลือกให้หลักแรกแสดงผล จากนั้นเปลี่ยนไปส่งตัวเลขของหลักที่สองแล้วเปลี่ยนไปเลือกหลักที่สองให้แสดงผลและทำต่อไปจนครบทั้ง 4 หลัก แล้ววนกลับมาหลักแรกใหม่และวนไปเรื่อยๆ จะทำให้ผู้ชมมองเห็นตัวเลขติดพร้อมกัน แต่มีข้อแม้ว่าการสับเปลี่ยนหลักในการแสดงผลต้องทำให้เร็วกว่าที่ตาคนเราจะมองได้ทัน ซึ่งโดยทั่วไปตาคนเราจะมองแยกได้ทีประมาณ 25 – 30 ครั้งต่อวินาที ดังนั้นอย่างน้อยควรต้องสแกนโดยใช้ความเร็วไม่น้อยกว่า 120 ครั้งต่อวินาที (30 ครั้ง X 4 หลัก = 120 ครั้งต่อวินาที) จึงจะมองไม่เกิดการกระพริบ สำหรับตัวแสดงผลที่ใช้เป็นแบบแคโอดร่วม (Common Cathode) ดังนั้นหากต้องการให้เซกเมนต์ใดของตัวแสดงผลติดได้นั้นต้องส่งสัญญาณลอจิก “1” โดยมีตัวต้านทานต่ออนุกรมกับ I/O ของ FPGA และด้านแอนโอดทุกขาอยู่เพื่อจำกัดกระแสแต่ละเซกเมนต์ของตัวแสดงผล ในส่วนของขาแคโอดร่วมในแต่ละหลักนั้นถ้าต้องการให้หลักใดติดก็ต้องให้ขาคาโอดร่วมของหลักนั้นเป็นลอจิก “0” อีกประการหนึ่งตัวแสดงผลเซเวนเซกเมนต์ตัวที่ 3 และ 4 หรือสองตัวสุดท้ายทางขวามือถูกออกแบบมาให้มีการกลับตัวแสดงผลโดยการหมุน 180 องศาเพื่อให้จุดของตัวที่ 3 และ 4 ขึ้นไปอยู่ด้านบนเพื่อประโยชน์ในการแสดงเครื่องหมาย “ : ” (Colon) ในการทำนาฬิกาหรือการแสดงผลเป็นองศาในงานที่เกี่ยวข้องกับอุณหภูมิ แต่การแสดงผลตัวเลขต่างๆ ยังคงใช้สายสัญญาณเดียวกับสองตัวแรก และเนื่อง I/O ที่ใช้ขับตัวแสดงผลจะมีบาง I/O ที่ต่อพ่วงอยู่กับคอนเนคเตอร์ K1 และ K2 ดังนั้นหากต้องการใช้ I/O ของ K1 และ K2 ตรงส่วนนี้หรือไม่ต้องการใช้ตัวแสดงผลก็สามารถถอดตัวแสดงผลทั้งสี่หลักออกจากซ็อกเก็ตได้โดยง่าย

Buzzer จำนวน 1 ตัว ที่ต่อขาข้างหนึ่งลงกราวนด์และต่อขาอีกข้างซึ่งเป็นขั้วบวกกับขาอินพุตเอาต์พุต (I/O) ของ FPGA ดังนั้นถ้าหาก FPGA ส่งลอจิก “1” มาจะทำให้ Buzzer ดัง หากจะให้ Buzzer ดับก็ส่งเป็นลอจิก “0” โดยไม่จำเป็นต้องส่งเป็นสัญญาณพัลส์ และเนื่อง I/O ที่ใช้ขับ Buzzer ต่อพ่วงอยู่กับ I/O ที่ 40 ของคอนเนคเตอร์ K3 ดังนั้นหากต้องการใช้ I/O ของ K3 ตรงส่วนนี้หรือไม่ต้องการใช้ Buzzer ก็สามารถถอด Jumper J3 ออกได้

พอร์ตต่อสายสัญญาณไปยังภายนอกจะต่ออยู่ที่คอนเนคเตอร์ K1- K4 เพื่อเชื่อมต่อสัญญาณไปยังอุปกรณ์ภายนอกหรือรับสัญญาณเข้ามามีรายละเอียดดังตารางที่ 1 โดยที่ที่คอนเนคเตอร์ K1- K4 จะถูกออกแบบเป็นสายสัญญาณและกราวด์ประมาณอย่างละครึ่งเพื่อแก้ปัญหาการรบกวนข้ามช่องสัญญาณ (Cross talk) ดังนั้นเมื่อต่อสายแพร์หรือสายริบบอนเข้ากับคอนเนคเตอร์แล้วจะทำให้สายสัญญาณและกราวด์อยู่ในลักษณะวางเรียงสลับกันไปทุกเส้นทำให้การรบกวนข้ามช่องสัญญาณเกิดได้ยาก และเนื่อง I/O ทั้งหมดจะเป็นระบบ 3.3 โวลต์ ดังนั้นในขณะที่ I/O ทำหน้าที่เป็นเอาต์พุตก็จะสามารถขับอินพุตทั้งลอจิกที่ใช้กับระบบ 3.3 และ 5 โวลต์ได้โดยตรง แต่เมื่อ I/O เป็นอินพุตจะใช้ได้เฉพาะระบบ 3.3 โวลต์เท่านั้น ดังนั้นหากมีความจำเป็นต้องเชื่อมต่อเข้ากับเอาต์พุตจากภายนอกที่เป็นระบบ 5 โวลต์จึงจำเป็นต้องมีไอซีระบบ 3.3 โวลต์มาเป็นกันชนหรือทำหน้าที่เป็นบัฟเฟอร์ เช่น ไอซีตระกูล 74HCxx หรือ 74ACxx ซึ่งหลายคนอาจจะเผลอลืมไปแล้วว่า ไอซีเหล่านี้ใช้ไฟเลี้ยงได้ตั้งแต่ 2 – 6 โวลต์ เช่น เบอร์ 74HC125 เป็นต้น ในกรณีนี้บัฟเฟอร์กินไฟเลี้ยง 3.3 โวลต์ ดังนั้นอินพุตของบัฟเฟอร์ที่ต่ออยู่กับเอาต์พุตระบบ 5 โวลต์จึงจำเป็นต้องมีตัวต้านทานประมาณ 220 โอห์มมาต่ออนุกรมที่อินพุตเพื่อจำกัดกระแสไหลเข้าอินพุตไม่ให้เกินกว่า 10 mA เพื่อป้องกันไม่ให้อินพุตเสียหาย แต่ถ้าเป็นเอาต์พุตระบบ 5 โวลต์จากลอจิกตระกูล TTL อาจลดค่าความต้านทานอนุกรมนี้ลงเหลือประมาณ 100 โอห์มได้ เนื่องจากลอจิก “1” จะให้ระดับแรงดันเอาต์พุตต่ำกว่าตระกูล CMOS การใช้ค่าความต้านทานน้อยลงจะทำให้วงจรทำงานที่ความถี่ได้สูงกว่า ตัวอย่างการเชื่อมต่อเอาต์พุตจากไอซีตระกูล TTL หรือ CMOS กับอินพุตของ FPGA แสดงดังรูปที่ 9



รูปที่ 9 ตัวอย่างการเชื่อมต่อเอาต์พุตจากไอซีตระกูล TTL หรือ CMOS กับอินพุตของ FPGA

การต่อตัวต้านทานพูลอัพ (Pulled up) ภายในชิพพร้อมกันทุกตัวทำได้โดยการใส่ Jumper J2 เพียงตัวเดียวเท่านั้น แต่ถ้าไม่ต้องการพูลอัพก็ให้ถอด J2 ออก การต่อสายสัญญาณ I/O ออกจากคอนเนคเตอร์ K1 – K4 นั้นถ้าต้องการใช้งานที่มีความถี่สูงๆ หรือต้องการป้องกันการรบกวนข้ามช่องและป้องกันไม่ให้เกิดคลื่นของสัญญาณสะท้อนภายในเส้นลายทองแดงของ PCB ก็ควรใช้สายแพร์ (Flat Cable) สำหรับบอร์ดทดลองนี้แนะนำให้ใช้สายแพร์ขนาด 40 เส้นที่มีความยาวของสายไม่ควรเกิน 10 – 15 เซนติเมตร (เนื่องจากหาซื้อได้ง่ายตามร้านคอมพิวเตอร์ทั่วไป เพราะสายแพร์ดังกล่าวใช้เป็นสายเชื่อมต่อสัญญาณระหว่าง เครื่องอ่าน CD-ROM กับเมนบอร์ดของคอมพิวเตอร์) และต้องโปรแกรมให้ I/O ของ FPGA เป็นแบบ Slow Slew Rate เพื่อลดสัญญาณรบกวนข้ามช่องและลดการสะท้อนของสัญญาณในสายแพร์ เกณฑ์ที่ใช้ในการพิจารณาว่าจะไม่มีผลกระทบเนื่องจากคุณสมบัติสายส่งหรือ Transmission Line effect ที่เกิดขึ้นใน PCB และรวมถึงสายสัญญาณ (สายแพร์) ด้วยนั้นคือ ความยาวสูงสุดของเส้นลายทองแดงของ PCB รวมกับสายสัญญาณโดยประมาณไม่ควรเกิน $(2''/\text{nS}) \times \text{ช่วงเวลาขึ้น (Rise time)}$ ซึ่งในกรณีนี้ O/P ของ FPGA เป็น Fast slew rate จะมีช่วงเวลาขึ้นโดยประมาณน้อยกว่า 1 nS ส่วนในกรณีที่เป็น Slow slew rate จะมีช่วงเวลาขึ้นโดยประมาณ 3 nS ดังนั้น $(2''/\text{nS}) \times 4 \text{ nS} = 6'' = 15$ เซนติเมตร ในกรณีที่สายแพร์ยาวกว่านี้และมีผลกระทบเนื่องจากเกิดการสะท้อนของสัญญาณจนทำให้วงจรทำงานผิดพลาดนั้นสามารถแก้ไขได้โดยเลือก Terminate ด้วยวิธีที่เหมาะสม สำหรับชิพตระกูล Spartan-3 นั้นจะมี Digitally Controlled Impedance (DCI) ช่วยแก้ไขปัญหการสะท้อน

การต่อสัญญาณออกภายนอกบอร์ดทดลองนั้นถ้าสายแพร์มี Vcc รวมอยู่ด้วยจะมีการต่อตัวเก็บประจุขนาด 0.1 uF และ 10 nF แบบมัลติเลเยอร์หรือตัวเก็บประจุแบบชิพ (Chip capacitor) ใกล้เคียง หัว Vcc และกราวด์ทุกๆจุด การต่อนี้ต้องทำทั้งที่บอร์ดทดลอง (ซึ่งต่อไว้แล้ว) และที่บอร์ดอื่นที่อยู่ภายนอกด้วยเพื่อให้สาย Vcc มีคุณสมบัติทางไฟฟ้าแบบ AC เสมือนว่าเป็นกราวด์

ทางด้านอินพุตบอร์ดทดลองนี้มีสวิตช์กดติดปล่อยดับ (Push button Switch) อยู่ 5 ตัวคือ PB1 – PB5 ต่ออยู่กับขาของ FPGA โดยปกติหากไม่มีกรกดจะเป็นลอจิก “1” และหากกดปุ่มจะเป็นลอจิก “0” เนื่องจากมีตัวต้านทาน RNET1 ต่อพูลอัพอยู่ อีกทั้งบนบอร์ดยังมีดิพสวิตช์ (Dip Switch) อีก 8 สวิตช์ โดยปกติหากเลื่อนสวิตช์ลงไปที่ OFF จะทำให้ได้ลอจิก “1” และหากเลื่อนสวิตช์ขึ้นไป ON จะทำให้ได้ลอจิก “0”

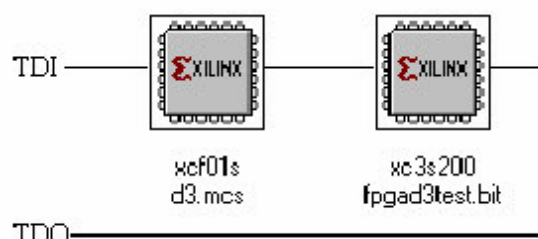
บอร์ดทดลองนี้ยังมีซ็อกเก็ตสำหรับติดตั้งออสซิลเลเตอร์ (Oscillator socket) ให้อีก 1 ตัว ซึ่งปกติจะใช้ไอซีเบอร์ 74AC04 คริสตอล 25 Mhz ตัวต้านทาน 330 โอห์ม และ ตัวเก็บประจุ 15 pF จำนวน 2 ตัว มาสร้างเป็นออสซิลเลเตอร์ โดยจะป้อนเข้าที่ขา GCLK4 ถ้าต้องการเปลี่ยนไปใช้เป็นออสซิลเลเตอร์ก็ให้ถอดไอซี 74AC04 เพียงตัวเดียวเท่านั้นก็สามารถใส่ออสซิลเลเตอร์แบบ 3.3 โวลต์ที่ต้องการได้ทันทีตั้งแต่ความถี่ 1 Mhz ถึง 50 MHz แต่ต้องไม่ลืมว่าใน FPGA ตระกูล Spartan-3 มี Digital Clock Manager (DCM) ซึ่งเป็นวงจรที่มีความสำคัญมากที่จะช่วยจัดการเกี่ยวกับสัญญาณนาฬิกาอยู่ในชิพจำนวน 4 ชุด ดังนั้นในหลายกรณีก็สามารถใช้ DCM ช่วยสร้างความถี่ที่ต้องการได้อยู่แล้ว จนเกือบจะเรียกได้ว่าไม่มีความจำเป็นต้องใช้ออสซิลเลเตอร์จากภายนอกเพิ่มเติมแต่อย่างใด และอย่าไปสับสนว่าขา I/O ธรรมดาของ FPGA จะใช้เป็น I/O ของสัญญาณนาฬิกาไม่ได้ ทุก I/O ใช้ได้หมดแต่เวลาหนึ่งภายในอาจมากกว่า

พอร์ตอนุกรมของบอร์ดทดลองนี้จะใช้ไอซีเบอร์ MAX3232CPE (U4) ซึ่งเป็นระบบ 3.3 โวลต์เพื่อให้สามารถติดต่อกับ I/O ของ FPGA ได้โดยตรง ซึ่งไอซีเบอร์นี้จะมีขาตรงกันกับไอซี MAX3232A ที่เรากันเคยกันคืออยู่แล้ว และเนื่องจาก I/O ของพอร์ตอนุกรมต่อพ่วงอยู่กับขาที่ 35 ของ K1 และ 39 ของ K2 ดังนั้นถ้าต้องการใช้ขาดังกล่าวของ K1 และ K2 เพื่อวัตถุประสงค์อื่นก็สามารถทำได้โดยการถอดไอซี MAX3232CPE ออก ส่วนซอกเกิด 8 ขา (U3) สำหรับใส่ไอซี E2PROM แบบ I2C เบอร์ 24LCxx ในการเก็บข้อมูลนั้นจะต่อพ่วงกับขาที่ 39 ของ K1 และ K2 ตามลำดับและมีตัวต้านทาน R7 และ R8 ขนาด 4.7 กิโลโอห์มต่อ Pull up ซึ่งถ้าต้องการใช้ขาที่ 39 ของ K1 และ K2 ก็ทำได้โดยถอดไอซีออก (แต่ยังคงสภาพ Pull up หากไม่ตัด R7 และ R8 ออก)

บอร์ดทดลองนี้ใช้ไฟเลี้ยง 4.5 – 9 VDC โดยต่ออะแดปเตอร์ (ซึ่งแถมให้ไปพร้อมกับบอร์ดทดลองอยู่แล้ว) ที่มีสายค่านินเป็นไฟบวกและด้านนอกเป็นกราวด์ จากนั้นลดระดับแรงดันให้คงที่เหลือ 3.3V , 2.5V และ 1.2V ตามลำดับโดยใช้ไอซีเรกูเลเตอร์เบอร์ LM1117T-3.3 และ LM317T หากมีไฟเลี้ยงเข้าบอร์ดจะทำให้ LED Power บนบอร์ดติดสว่างสำหรับตัวเก็บประจุต่างๆ ที่ติดตั้งอยู่บนบอร์ดมีไว้เพื่อรักษาระดับแรงดันไฟเลี้ยงให้คงที่โดยไม่มีการกระเพื่อมและช่วยกำจัดสัญญาณรบกวนบนบอร์ดอีกด้วย

JTAG คอนเนคเตอร์ ใช้สำหรับต่อสายคาวาน์โหลด (JTAG Cable) เข้ากับพอร์ตขนาน (Printer Port) ของคอมพิวเตอร์เพื่อโปรแกรมข้อมูลวงจร (Configuration data) ลง FPGA โดยขาสัญญาณของ JTAG ทุกเส้นจะต่อผ่านไอซีที่เป็นบัฟเฟอร์เบอร์ 74HC125 ที่นอกจากจะทำหน้าที่เป็นบัฟเฟอร์แล้วหัวสำคัญคือใช้ลด Slew rate ของขาสัญญาณ TDO ของ FPGA เพื่อป้องกันสัญญาณรบกวนข้ามช่องในสาย JTAG โดยมีตัวต้านทาน 100 โอห์มต่อไว้ที่ด้านสายแพร์เพื่อลดสัญญาณสะท้อน โดยสาย JTAG จะใช้สายริบบอน (สายแพร์) สีเทาเบอร์ 28 AWG จำนวน 10 เส้นที่มีความยาวโดยประมาณไม่ควรเกิน 1.5 เมตร สายคาวาน์โหลดที่ใช้ในการโปรแกรมลงบอร์ดสามารถใช้ได้ทั้งแบบที่ใช้งานจริงตามทีผู้ผลิต (Xilinx) แนะนำให้ใช้หรือจะใช้ผลิตภัณฑ์ของบริษัทก็ได้ (ซึ่งแถมให้ไปพร้อมกับบอร์ดทดลองอยู่แล้ว) โดยมีรายละเอียดวงจรในวารสาร HOBBY ELECTRONICS ฉบับที่ 143 กรกฎาคม-สิงหาคม 2547 “โครงการ บอร์ดทดลองซีพีแอลดี CPLD Explorer XC9572 “

ความโดดเด่นอีกประการของบอร์ดทดลองนี้คือมีการออกแบบโดยใช้ชิพ Platform Flash PROM ไว้บนบอร์ดทดลอง เนื่องจากความจริงที่ว่าโครงสร้าง FPGA แบบลักษณะ RAM-base ดังนั้นเมื่อไม่มีไฟเลี้ยงข้อมูลใน FPGA จะสูญหายจึงต้องใช้ PROM ในการเก็บข้อมูล สำหรับบอร์ดทดลองนี้ใช้ Platform Flash PROM ที่สามารถโปรแกรมซ้ำได้ถึง 20,000 ครั้งโดยการออกแบบให้ในโหมด JTAG ให้ Platform Flash PROM และ FPGA ต่อถึงกันแบบลูกโซ่ดังรูปที่ 10 เพื่อสะดวกเมื่อโปรแกรมโดยใช้สาย JTAG เราจึงสามารถดาวน์โหลดข้อมูลลงชิพทั้งสองตัวหรือตัวใดตัวหนึ่งก็ได้ โดยที่ในขั้นตอนพัฒนาวงจรเราอาจเลือกโปรแกรมให้ FPGA เพียงตัวเดียวก็ได้ เมื่อพัฒนาเรียบร้อยแล้วจึงโปรแกรมวงจรไปเก็บไว้ใน Platform Flash PROM ด้วย วิธีนี้ทำให้ไม่ต้องโปรแกรม Platform Flash PROM บ่อยจึงเท่ากับเป็นการยืดอายุการใช้งานของ Platform Flash PROM ออกไป และไม่ว่าจะตั้งค่า M0 , M1 และ M2 อยู่ในโหมดอื่นใดก็สามารถโปรแกรมโดยใช้สาย JTAG ได้ และเนื่องการ Platform Flash PROM และ FPGA ต่อกันโหมด Master serial (M0 , M1 , M2 = 0) อีกด้วย ดังนั้นทุกครั้งที่เริ่มจ่ายไฟให้บอร์ดทดลอง FPGA จะดาวน์โหลดข้อมูลจาก Platform Flash PROM มาที่ FPGA อย่างอัตโนมัติทำให้ FPGA สามารถทำงานได้ทันที ดังนั้นในกรณีนี้ FPGA จึงมีคุณสมบัติไม่แตกต่างจาก CPLD แต่สมรรถนะของ FPGA จะสูงกว่า CPLD มากและสามารถสร้างวงจรดิจิทัลที่มีขนาดใหญ่หลายๆ ได้ ซึ่ง CPLD จะใช้ออกแบบวงจรขนาดใหญ่หลายๆ ไม่ได้เพราะความจุวงจรมีน้อยเกินไปเมื่อเทียบกับ FPGA



รูปที่ 10 ขั้นตอนดาวน์โหลดที่จอกคอมพิวเตอร์จะปรากฏชิพ Flash PROM และ FPGA พร้อมกัน

ตารางที่ 1 แสดงตำแหน่งขาของชิพที่ต่ออยู่กับฮาร์ดแวร์ภายนอกที่อยู่บนบอร์ด

| 7-Segment | FPGA Pinout | Descriptions |
|-----------|-------------|-------------------------|
| a | p40 | a |
| b | p35 | b |
| c | p32 | c |
| d | p30 | d |
| e | p27 | e |
| f | p25 | f |
| g | p23 | g |
| dp | p20 | Decimal Point |
| DG1 | p31 | DIGIT1 , COMMON CATHODE |
| DG2 | p33 | DIGIT2 , COMMON CATHODE |
| DG3 | p36 | DIGIT3 , COMMON CATHODE |
| DG4 | p41 | DIGIT4 , COMMON CATHODE |

| Push Botton | FPGA Pinout | Descriptions |
|-------------|-------------|-------------------|
| PB1 | p44 | Push Botton No. 1 |
| PB2 | p46 | Push Botton No. 2 |
| PB3 | p47 | Push Botton No. 3 |
| PB4 | p50 | Push Botton No. 4 |
| PB5 | p51 | Push Botton No. 5 |

| EEPROM | FPGA Pinout | Descriptions |
|---------|-------------|--------------|
| I2C-SCL | p128 | 24LCXX |
| I2C-SDA | p129 | 24LCXX |

| RS-232 | FPGA Pinout | Descriptions |
|--------|-------------|--------------|
| TX | p131 | MAX3232CPE |
| RX | p132 | MAX3232CPE |

| LED | FPGA Pinout | Descriptions |
|-----|-------------|--------------|
| L0 | p70 | L0 |
| L1 | p77 | L1 |
| L2 | p69 | L2 |
| L3 | p76 | L3 |
| L4 | p74 | L4 |
| L5 | p79 | L5 |
| L6 | p73 | L6 |
| L7 | p78 | L7 |

| Dip SW | FPGA Pinout | Description |
|--------|-------------|-----------------|
| 1 | p52 | Dip Switch No.1 |
| 2 | p53 | Dip Switch No.2 |
| 3 | p55 | Dip Switch No.3 |
| 4 | p56 | Dip Switch No.4 |
| 5 | p59 | Dip Switch No.5 |
| 6 | p60 | Dip Switch No.6 |
| 7 | p63 | Dip Switch No.7 |
| 8 | p68 | Dip Switch No.8 |

| Oscillator | FPGA Pinout | Descriptions |
|------------|-------------|---------------|
| OSC | p127 | 25MHz , GCLK6 |

| BUZZER | FPGA Pinout | Descriptions |
|--------|-------------|--------------|
| BUZZER | p124 | BUZZER |

ตารางที่ 1 แสดงตำแหน่งขาของชิพที่ต่ออยู่กับฮาร์ดแวร์ภายนอกที่อยู่บนบอร์ด (ต่อ)

| K1 Pinout | FPGA Pinout | Descriptions |
|-----------|-------------|--------------|
| 1 | p40 | I/O , a |
| 2 | | 3.3 V |
| 3 | p35 | I/O , b |
| 4 | | GND |
| 5 | p32 | I/O , c |
| 6 | | GND |
| 7 | p30 | I/O , d |
| 8 | | GND |
| 9 | p27 | I/O , e |
| 10 | | GND |
| 11 | p25 | I/O , f |
| 12 | | GND |
| 13 | p23 | I/O , g |
| 14 | | GND |
| 15 | p20 | I/O , dp |
| 16 | | GND |
| 17 | p17 | I/O |
| 18 | | GND |
| 19 | p14 | I/O |
| 20 | | GND |

| k1 Pinout | FPGA Pinout | Descriptions |
|-----------|-------------|-----------------------|
| 21 | p12 | I/O |
| 22 | | GND |
| 23 | p10 | I/O |
| 24 | | GND |
| 25 | p7 | I/O |
| 26 | | GND |
| 27 | p5 | I/O |
| 28 | | GND |
| 29 | p2 | I/O |
| 30 | | GND |
| 31 | p141 | I/O |
| 32 | | GND |
| 33 | p137 | I/O |
| 34 | | GND |
| 35 | p132 | I/O, RS-232 (RX) |
| 36 | | GND |
| 37 | p130 | I/O |
| 38 | | GND |
| 39 | p128 | I/O , GCLK7 , I2C-SCL |
| 40 | | GND |