

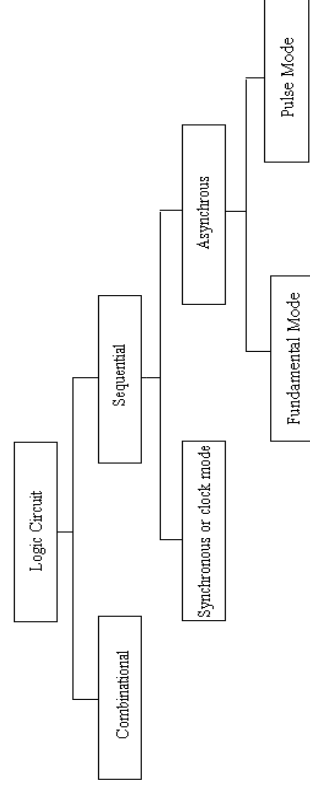
บทที่ 7

วงจรซีควีนเชียล (Sequential Logic Circuit)

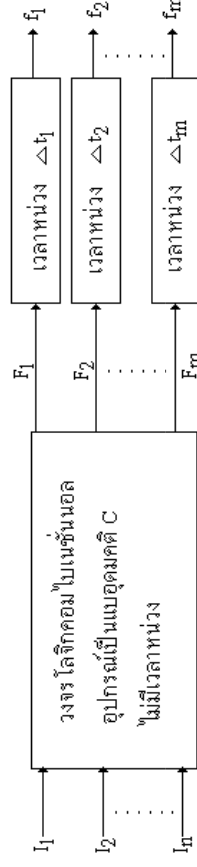
หัวข้อ

- บทนำ
- ฟลิปฟล็อป (Flip-flop)
 - RS-Flipflop
 - D Flipflop
 - J-K Flipflop
- เครื่องมือ
- การลดสถานะ (State Reduction)

บทนำ



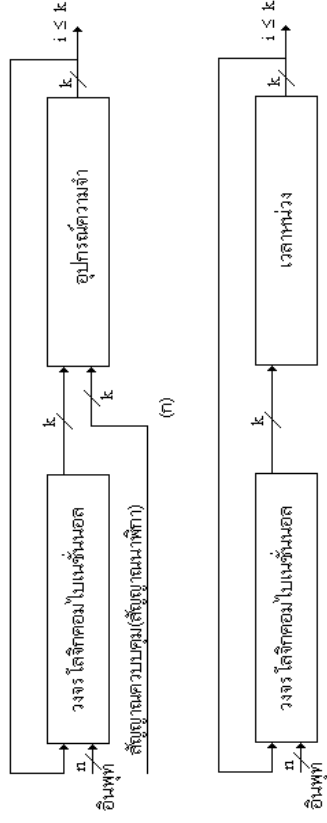
วงจรคอมไบเนชันนอล



$$F_1 = F_1(I_1, I_2, \dots, I_n)$$
$$F_2 = F_2(I_1, I_2, \dots, I_n)$$
$$\vdots$$
$$F_m = F_m(I_1, I_2, \dots, I_n)$$

$$f_1 = F_1 \text{ ที่ผ่านเวลาหน่วง } \Delta t_1$$
$$f_2 = F_2 \text{ ที่ผ่านเวลาหน่วง } \Delta t_2$$
$$\vdots$$
$$f_m = F_m \text{ ที่ผ่านเวลาหน่วง } \Delta t_m$$

วงจรซีความเขียด



5

ฟลิปฟลอป (Flip-flop)

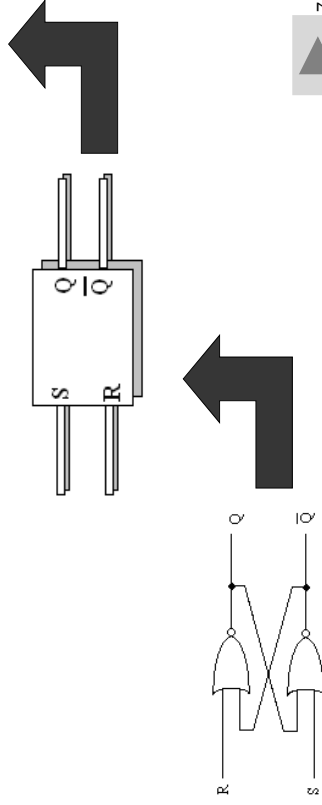
- ฟลิปฟลอปแบบ RS (RS Flip-flop)
 - ฟลิปฟลอปแบบ RS ชนิดมีสัญญาณนาฬิกาควบคุม
- ฟลิปฟลอปแบบ D (D Flip-flop)
 - ฟลิปฟลอปแบบ D ชนิดมีสัญญาณนาฬิกาควบคุม
 - ฟลิปฟลอปแบบ D ชนิดควบคุมด้วยขอบของสัญญาณนาฬิกา
 - ฟลิปฟลอปแบบ D ชนิดมีสัญญาณควบคุมพรีเซ็ทและเคลียร์ (Preset and Clear)
- ฟลิปฟลอปแบบ JK (JK Flip-flop)
 - ฟลิปฟลอปแบบ JK Master-Slave

6

ฟลิปฟลอปแบบ RS (RS Flip-flop) สร้างจากเกต NOR

TABLE NOR LATCH

R	S	Q	Comment
0	0	NC	NO change
0	1	1	Set
1	0	0	Reset
1	1	*	Race

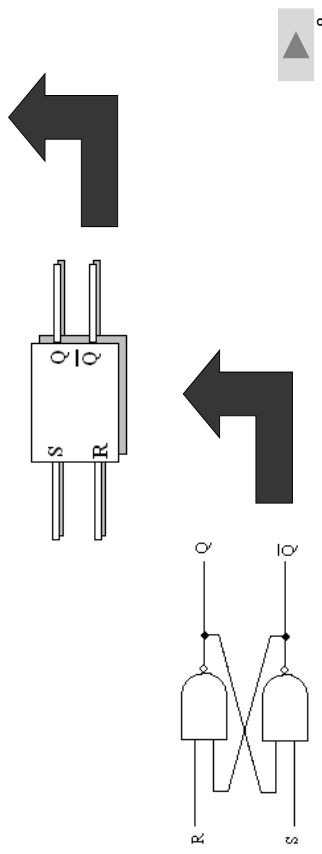


7

ฟลิปฟลอปแบบ RS (RS Flip-flop) สร้างจากเกต NAND

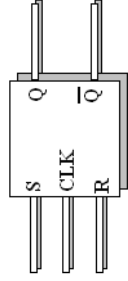
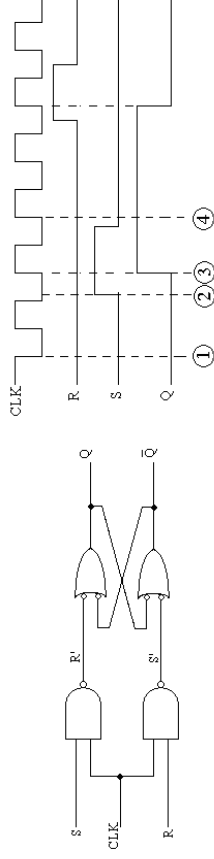
ตารางการทำงาน

R	S	Q	Comment
0	0	*	Race
0	1	1	
1	0	0	
1	1	NC	NO change



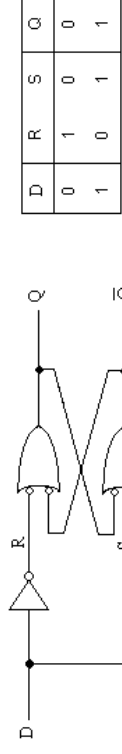
8

ฟลิปฟลอปแบบ RS ชนิดมีสัญญาณนาฬิกาควบคุม



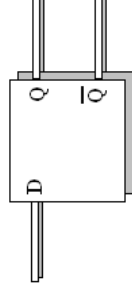
9

ฟลิปฟลอปแบบ D (D Flip-flop)



(ก)

(ข)

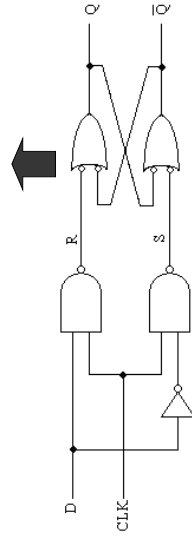
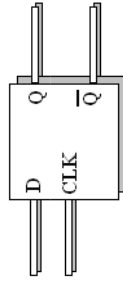


10

D	R	S	Q
0	1	0	0
1	0	1	1

ฟลิปฟลอปแบบ D ชนิดมีสัญญาณนาฬิกาควบคุม

CLK	D	R	S	Q
0	0	1	0	NC
0	1	0	1	NC
1	0	1	0	0
1	1	0	1	1

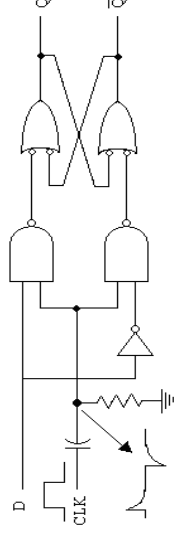
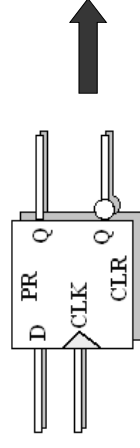


11

ฟลิปฟลอปแบบ D ชนิดควบคุมด้วยขอบของสัญญาณนาฬิกา

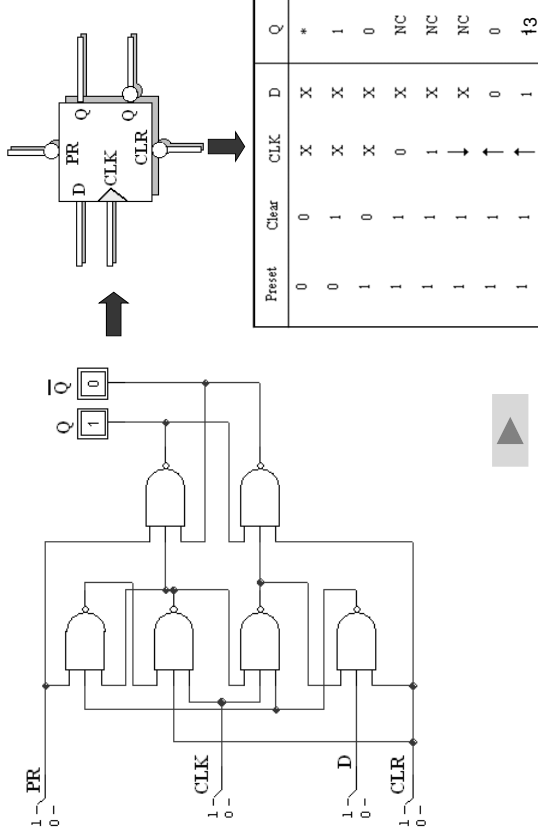
CLK	D	Q
0	X	NC
1	X	NC
↓	X	NC
↑	0	0
↑	1	1

NC = No Change

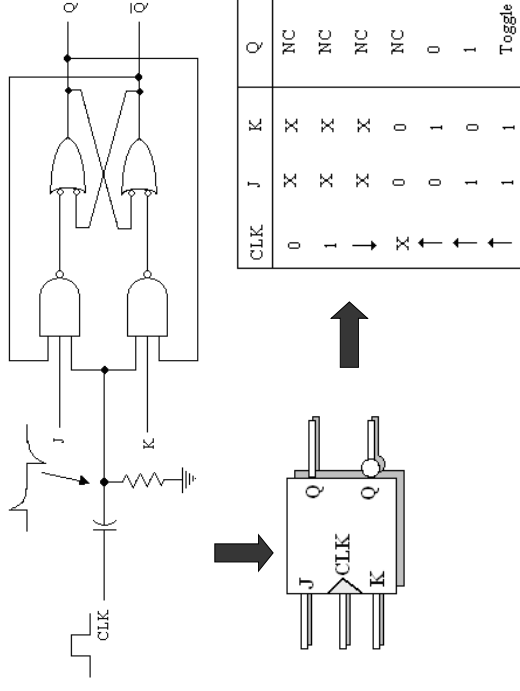


12

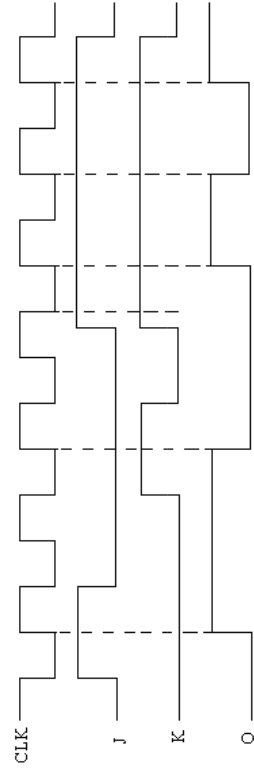
ฟลิปฟลอปแบบ D ชนิดมีสัญญาณควบคุม



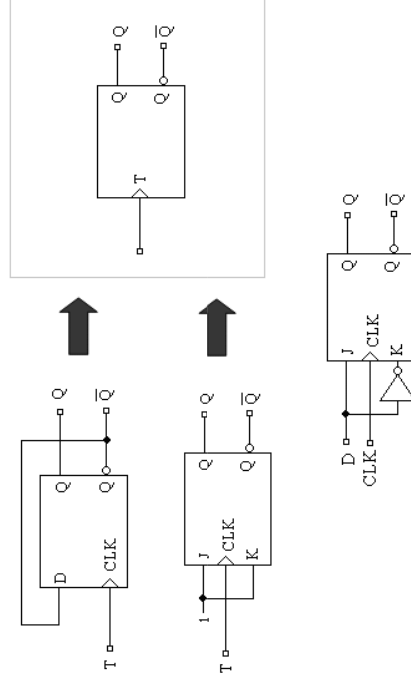
ฟลิปฟลอปแบบ JK (JK Flip-flop)



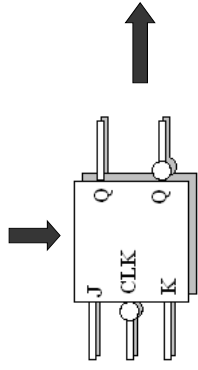
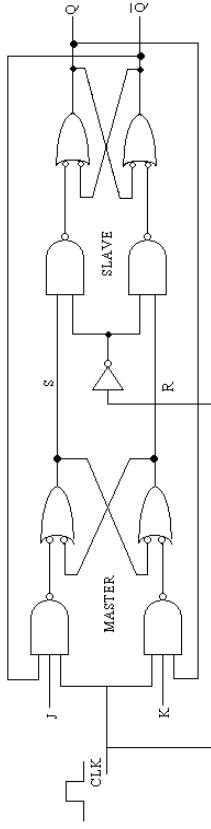
ตัวอย่างไทม์แกรมของ ฟลิปฟลอปแบบ JK



การดัดแปลงฟลิปฟลอปแบบ JK เป็นฟลิปฟลอปแบบอื่นๆ



ฟลิปฟลอปแบบ JK Master-Slave



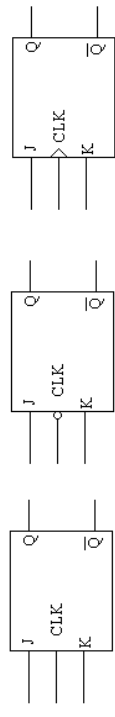
CLK	J	K	Q
X	0	0	NC
	0	1	0
	1	0	1
	1	1	Toggle



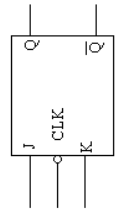
ข้อพิจารณาเกี่ยวกับเวลา

- เวลาหน่วง (Propagation Delay time)
- Minimum Pulse Width
- Setup and Hold Times

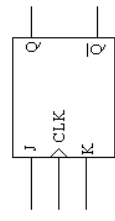
ฟลิปฟลอปแบบ JK Master-Slave แบบอื่นๆ



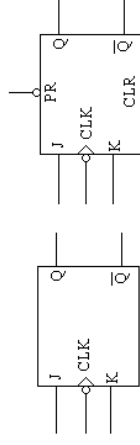
(ก)



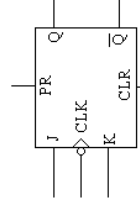
(ข)



(ค)

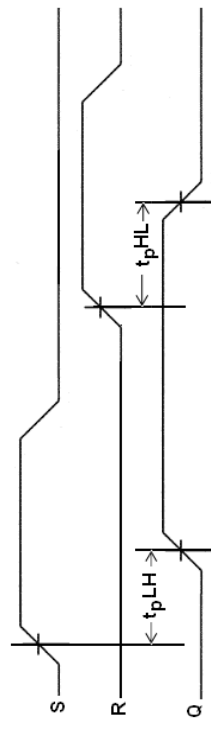


(ง)



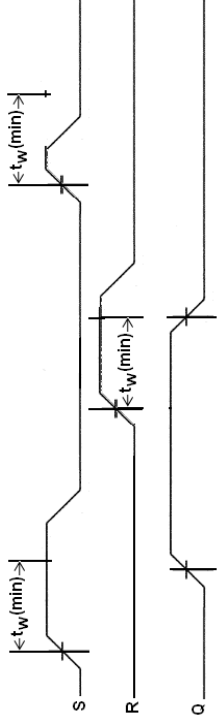
(จ)

เวลาหน่วง (Propagation Delay time)



เมื่อสัญญาณอินพุตเปลี่ยนแล้วต้องใช้เวลาอีกนานเท่าไร
สัญญาณเอาต์พุตจึงจะเปลี่ยน

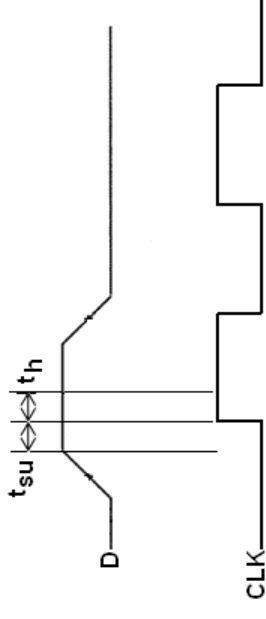
Minimum Pulse Width



ความกว้างของพัลส์ที่น้อยที่สุดที่จะทำให้เกิดการเปลี่ยนแปลงสัญญาณได้

21

Setup and Hold Times



Setup Time (Tsu) is the minimum time interval for which the input signal must be stable (unchanging) prior to the sampling event of the clock for the input signal to be recognized correctly.

Hold Time (Th) is the minimum time interval for which the input signal must be stable (unchanging) following the sampling event of the clock for the input signal to be recognized correctly.

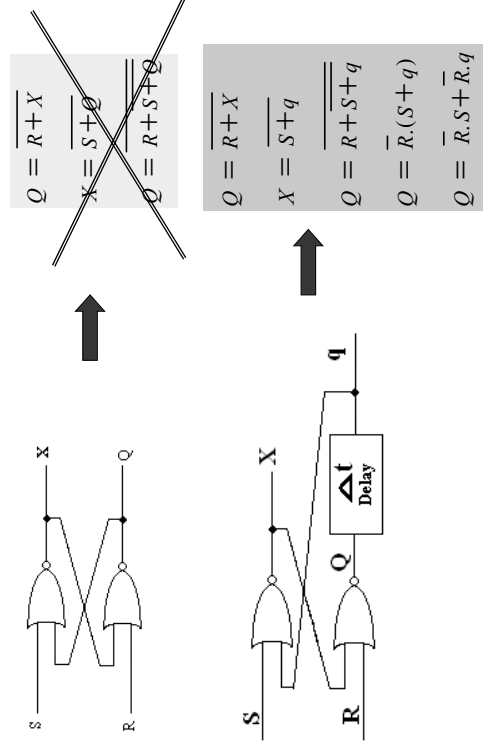
22

เครื่องมือ

- Circuit Delay Model
- Characteristic Equation
- Present State/Next State Table
- สเตทโคอะแกรม (State Diagram)
- ผังคาร์โนท (Karnaugh Map)

23

Circuit Delay Model และ Characteristic Equation



24

Characteristic Equation ของฟลิปฟล็อปแบบอื่นๆ

ฟลิปฟล็อปแบบ **D** $Q = D$

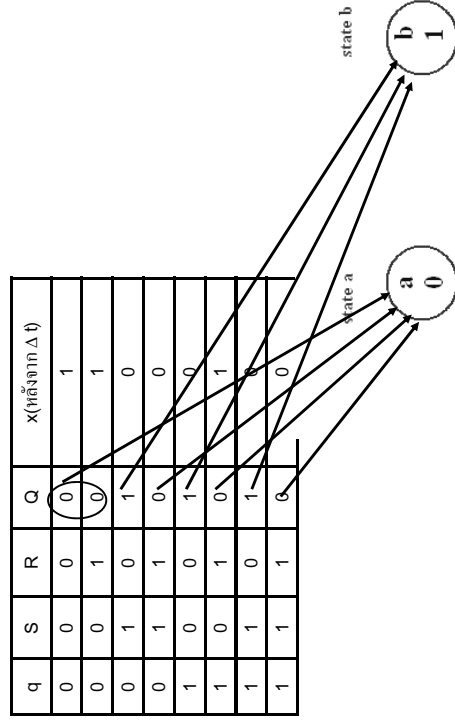
ฟลิปฟล็อปแบบ **JK** $Q = J \cdot \bar{q} + \bar{K} \cdot q$

ฟลิปฟล็อปแบบ **T** $Q = \bar{q}T + q\bar{T}$

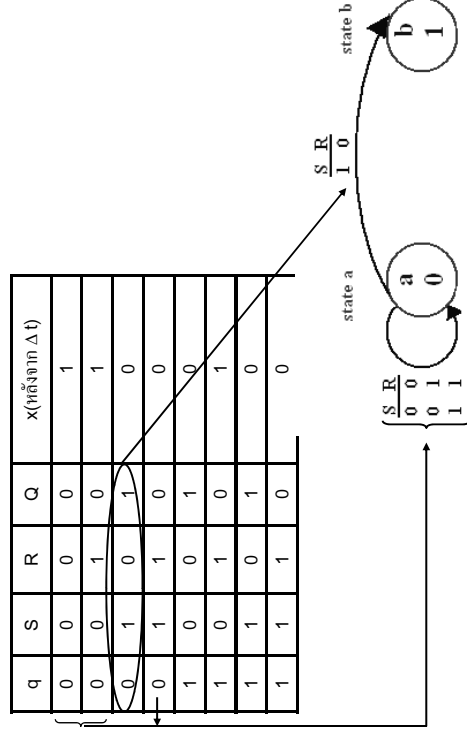
Present State/Next State Table หรือ State Table

q	S	R	Q	x(หลังจาก Δt)	สถานะ
0	0	0	0	1	เสถียร
0	0	1	0	1	เสถียร
0	1	0	1	0	ไม่เสถียร*
0	1	1	0	0	เสถียร
1	0	0	1	0	เสถียร
1	0	1	0	1	ไม่เสถียร*
1	1	0	1	0	เสถียร
1	1	1	0	0	ไม่เสถียร*

สแตตโคอะแกรม (State Diagram)

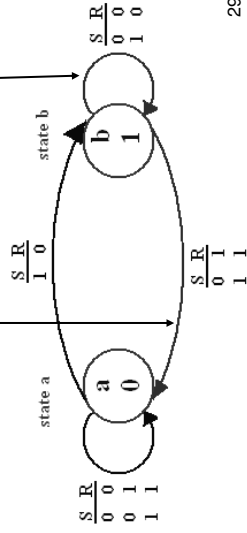


สแตตโคอะแกรม (State Diagram)



สเตตทูเดอะแกรม (State Diagram)

q	S	R	Q	X(หลังจาก Δt)
0	0	0	0	1
0	0	1	0	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	0



29

ผังคาร์โนห์ (Karnaugh Map)

q	S	R	Q	X(หลังจาก Δt)
0	0	0	0	1
0	0	1	0	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	0

q	S,R	00	01	11	10
0		0	0	0	1
1		1	0	0	1

(ก)

q	S,R	00	01	11	10
0		0	0	0	1
1		1	0	0	0

(ข)

30

การลดสถานะ (State Reduction)

Mealy Type

ps	X	0	1	NS/Output
a	E/0	D/0	F/0	
b	A/1	F/0	A/1	
c	C/0	A/1	A/0	
d	B/0	A/0	C/0	
e	D/1	C/0	D/1	
f	C/0	D/1	G/1	
g	H/1	G/1	B/1	
h	C/1	B/1		

Moore Type

ps	X	0	1	NS
a	E	D	0	
b	A	F	1	
c	C	A	0	
d	B	A	0	
e	D	C	1	
f	C	D	0	
g	H	G	1	
h	C	B	1	

31

การลดสถานะ (State Reduction)

การลดสถานะ มีจุดมุ่งหมายเช่นเดียวกับการลดทอนฟังก์ชันบูลีน คือต้องการลดความซับซ้อนของวงจร เนื่องจากจำนวนสถานะลดลง จำนวนอุปกรณ์ที่ใช้ในวงจรก็ลดลง และอาจทำให้จำนวนฟลิปฟล็อปที่ใช้ในวงจรลดลงด้วย สถานะที่จะต้องเป็นสถานะที่มีคุณสมบัติที่เหมือนกัน (Equivalent State) ซึ่งต้องมีคุณสมบัติดังต่อไปนี้

(ก) ให้อ่าและ b เป็น PS (Present State) และมี A, B เป็น NS (Next State) ตามลำดับ a และ b ทั้ดเทียม (Equivalent) กันเมื่อทุกค่าอินพุตทำให้อ่า

(ข) Next State A และ B ทั้ดเทียมกัน

ถ้ามีสถานะที่ทั้ดเทียมกันหลายสถานะ สามารถตัดสถานะนี้ออกให้เหลือเพียงสถานะเดียวได้ โดยไม่ทำให้การทำงานของวงจรเปลี่ยนไป การลดสถานะมีหลายวิธี การใช้ตารางอิมพลีเคชัน (Implication Table)

32

จากตารางสภาวะต่อไปนี้จงลดทอน

PS \ X	0	1
a	c/1	a/0
b	c/1	e/0
c	b/1	e/0
d	d/0	b/1
e	e/0	a/1

NS/Output

33

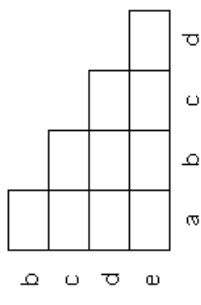
จากตารางสภาวะต่อไปนี้จงลดทอน

PS \ X	0	1
a	c/1	a/0
b	c/1	e/0
c	b/1	e/0
d	d/0	b/1
e	e/0	a/1

NS/Output

34

ขั้นที่ 1 เขียนตารางอิมพริเคชั่น



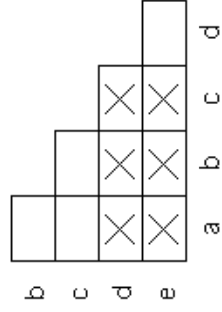
จากตารางสภาวะต่อไปนี้จงลดทอน

PS \ X	0	1
a	c/1	a/0
b	c/1	e/0
c	b/1	e/0
d	d/0	b/1
e	e/0	a/1

NS/Output

35

ขั้นที่ 1 เขียนตารางอิมพริเคชั่น
ขั้นที่ 2 กำบาท X ลงบนคู่สภาวะที่ให้เอาที่พหุไม่เท่ากัน



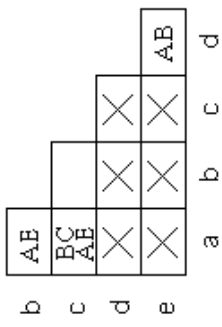
จากตารางสภาวะต่อไปนี้จงลดทอน

PS \ X	0	1
a	c/1	a/0
b	c/1	e/0
c	b/1	e/0
d	d/0	b/1
e	e/0	a/1

NS/Output

36

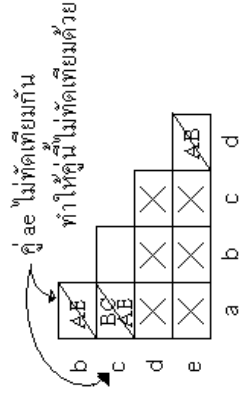
ขั้นที่ 1 เขียนตารางอิมพริเคชั่น
ขั้นที่ 2 กำบาท X ลงบนคู่สภาวะที่ให้เอาที่พหุไม่เท่ากัน
ขั้นที่ 3 ในช่องที่ว่างให้พิจารณา Next State ของคู่ State นั้นถ้า Next State ไม่เหมือนกับ Present State และไม่เหมือนกันทั้งคู่ให้นำ Next State มาเติมลงในช่องว่างของคู่นั้น



จากตารางสภาวะ ต่อไปนี้จงลดทอน

	X	0	1
ps	a	c/1	a/0
	b	c/1	e/0
	c	b/1	e/0
	d	d/0	b/1
	e	e/0	a/1
		NS/Output	

- ขั้นที่ 1** เขียนตารางอิมพริเคชัน
- ขั้นที่ 2** กำบาท X ลงบนคู่สภาวะที่ให้เอาที่พบไม่เท่ากัน
- ขั้นที่ 3** ในช่องที่ว่างให้พิจารณา Next State ของคู่ State นั้น ถ้า Next State ไม่เหมือนกับ Present State และไม่เหมือนกันทั้งคู่ให้นำ Next State มาเติมลงในช่องว่างของคู่นั้น
- ขั้นที่ 4** จากค่า NS ที่เติมลงในตาราง ให้พิจารณาดูว่า NS แต่ละคู่ นั้น เมื่อเป็น PS จะตัดต่อกันหรือไม่ โดยดูจากคู่ PS ถ้าคู่ใดถูกกาะบาททับไว้แล้ว แสดงว่า NS คู่ นั้น ไม่เท่ากันให้กาทับ NS คู่ นั้นด้วย (/)



ขั้นที่ 5 นำค่า PS มาเขียน Equivalent Partition โดยนำค่า PS ในแนวนอนมาเขียนเรียงในแนวตั้ง โดยยกเว้น State สุดท้าย แล้วพิจารณาว่า PS ในตารางจากช่องขวาไปทางซ้ายถ้ามีช่องใดไม่ถูกกาทับให้ยกคู่ PS ของช่องนั้นมาเขียน



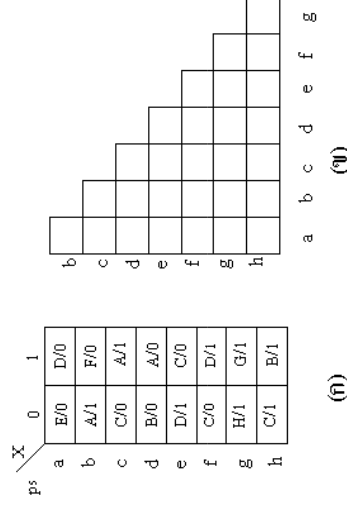
ดังนั้นคู่ BC เท่ากัน สภาวะจึงเหลือ (A) (BC) (D) (E) สภาวะ B และ C เหลือเพียงสภาวะเดียว

ตัวอย่างที่ 7.2 จากตารางสภาวะในรูปที่ 7-19 (ก) จงลดทอนสภาวะ

	X	0	1
ps	a	E/0	D/0
	b	A/1	F/0
	c	C/0	A/1
	d	B/0	A/0
	e	D/1	C/0
	f	C/0	D/1
	g	H/1	G/1
	h	C/1	B/1

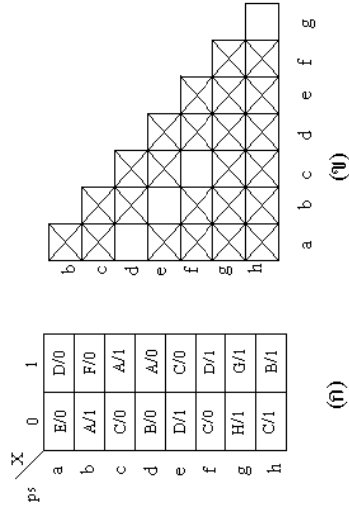
(ก)

ตัวอย่างที่ 7.2 จากตารางสภาวะในรูปที่ 7-19 (ก) จงลดทอนสภาวะ

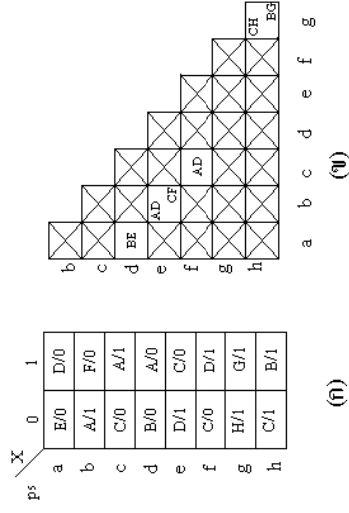


(ข)

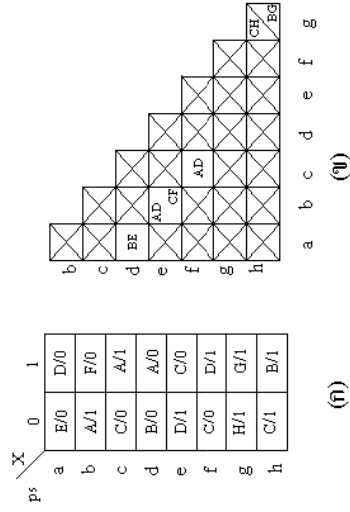
ตัวอย่างที่ 7.2 จากตารางสถานะในรูปที่ 7-19 (ก) จงลดทอนสถานะ



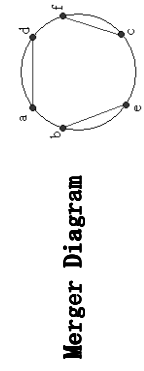
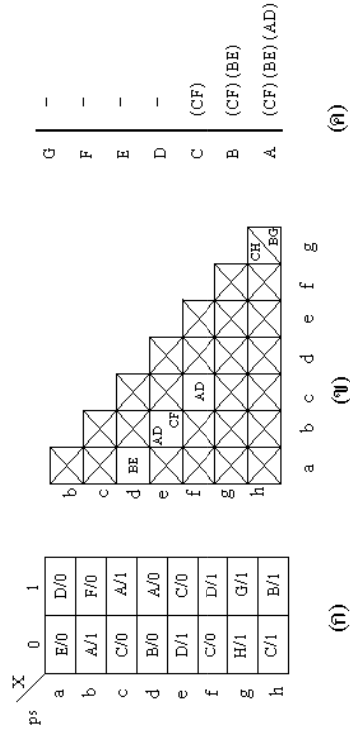
ตัวอย่างที่ 7.2 จากตารางสถานะในรูปที่ 7-19 (ก) จงลดทอนสถานะ



ตัวอย่างที่ 7.2 จากตารางสถานะในรูปที่ 7-19 (ก) จงลดทอนสถานะ



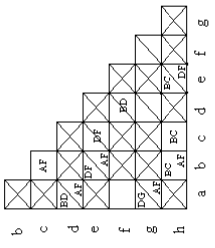
ตัวอย่างที่ 7.2 จากตารางสถานะในรูปที่ 7-19 (ก) จงลดทอนสถานะ



ตัวอย่างที่ 7.3 จากตารางสภาวะ

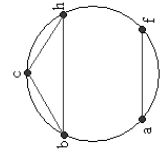
	00	01	10	11
a	D/0	D/0	F/0	A/0
b	C/1	D/0	E/1	F/0
c	C/1	D/0	E/1	A/0
d	D/0	B/0	A/0	F/0
e	C/1	F/0	E/1	A/0
f	D/0	D/0	A/0	F/0
g	G/0	G/0	A/0	A/0
h	B/1	D/0	E/1	A/0

(ก)



- G -
- F -
- E -
- D -
- C (CH)
- B (BCH)
- A (BCH)(AF)

$P_K = (AF)(BCH)(D)(E)(G)$
(ค)



MERGER DIAGRAM